

# **Chapitre III**

## **L'inverseur de Base en Technologie CMOS**

### **3.1. Introduction**

L'inverseur est véritablement la brique de base de la logique CMOS et toutes les autres fonctions logiques sont dérivées de cette cellule élémentaire. La fonction logique est le complément : un état « 0 » devient un état « 1 » et réciproquement. Elle est en pratique réalisée par la mise en série d'un transistor PMOS et d'un transistor NMOS comme le montre la figure 20.

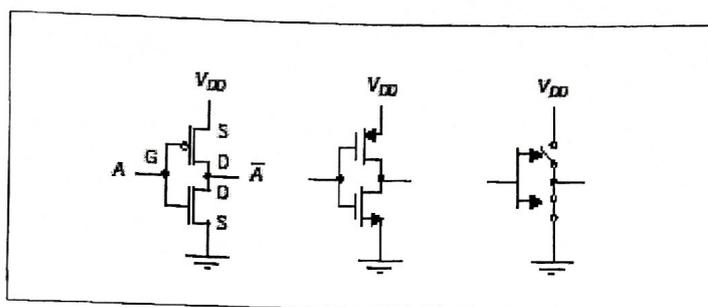


Figure 20 : Représentation logique, électrique et fonctionnelle de l'inverseur CMOS.

Quand une tension positive, de l'ordre de  $V_{dd}$  est appliquée sur la grille, le transistor NMOS conduit et le transistor PMOS est bloqué. La connexion de sortie est reliée à la masse et isolée de la tension d'alimentation. Elle est nulle. Il y a donc bien changement d'état logique. Quand une tension nulle est appliquée sur l'entrée, c'est l'inverse. Le transistor NMOS est bloqué et le transistor PMOS conduit.

Lorsque l'on fait varier le potentiel d'entrée  $V_{in}$  du montage de 0 v à la tension d'alimentation, sa tension de sortie  $V_{out}$  varie de  $V_{dd}$  à 0 V. On constate que lorsque  $V_{in}$  est proche de 0 v ou de  $V_{dd}$ , un seul transistor conduit et l'autre est bloqué.

Nous remarquons que les deux transistors sont toujours parcourus par le même courant et que la somme de leurs tensions  $V_{ds}$  est égale à  $V_{dd}$ .

Considérons les différentes zones de la caractéristique de transfert (figure 21).

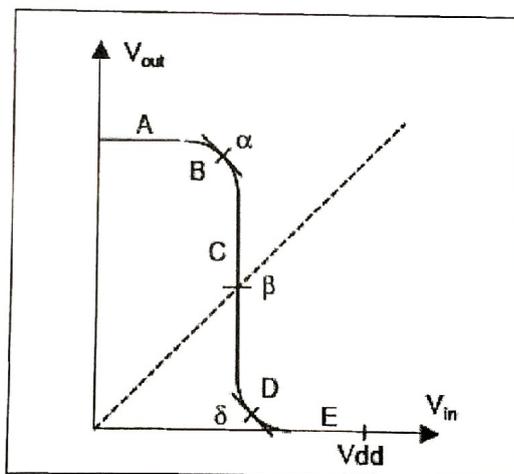


Figure 21 : Caractéristique de transfert de l'inverseur de base.

Nous noterons  $V_T$  la tension de seuil  $V_{T0}$  rendue commune aux transistors N et P.

- Zone A : TrN bloqué ( $V_{gs} < V_T$ ) ;  $i = 0$  ; TrP quadratique ( $V_{ds} = 0v$ ) ;  $V_{out} = V_{dd}$ .
- Zone B : TrN saturé ( $V_{ds} = V_{dd}$ ) ; TrP quadratique ( $V_{ds} = 0$ ).
- Zone C : TrN saturé ( $V_{ds} = V_{dd}/2$ ) ; TrP saturé ( $V_{ds} = V_{dd}/2$ ).
- Zone D : TrN quadratique ( $V_{ds} = 0$ ) ; TrP saturé ( $V_{ds} = V_{dd}$ ).
- Zone E : TrN quadratique ( $V_{ds} = 0v$ ) ;  $i = 0$  ; TrP bloqué ( $V_{gs} < V_T$ ) ;  $V_{out} = 0v$ .

### 3.2. Points caractéristiques

- Zone linéaire :  $i = \mu \cdot C_{OX} \cdot \frac{W}{L} (V_G - V_{T0}) V_D$
- Zone quadratique :  $i = \mu \cdot C_{OX} \cdot \frac{W}{L} \left[ (V_G - V_{T0}) V_D - \frac{V_D^2}{2} \right]$
- Zone saturée :  $i = \mu \cdot C_{OX} \cdot \frac{W}{L} \frac{(V_G - V_{T0})^2}{2}$

Lorsque la tension Grille-Source est  $V_G$  pour le transistor NMOS, elle vaut  $V_{dd} - V_G$  pour le transistor PMOS.

$$\begin{array}{ll} \text{De plus :} & V_{dsn} + V_{dsp} = V_{dd} \quad \text{donc} \quad V_{dsp} = V_{dd} - V_{dsn} \\ \text{Et} & V_{out} = V_{dsn} \quad \text{donc} \quad V_{dsp} = V_{dd} - V_{out} \end{array}$$

### 3.3. Point $\alpha$ :

L'expression du courant commun est :

$$\begin{aligned} i_\alpha &= \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} (V_{in} - V_T)^2 \quad \rightarrow \text{saturation} \\ &= \frac{1}{2} \mu_p \cdot C_{OX} \cdot \frac{W_p}{L_p} \left[ 2[(V_{dd} - V_{in}) - V_T](V_{dd} - V_{out}) - (V_{dd} - V_{out})^2 \right] \quad \rightarrow \text{quadratique} \end{aligned}$$

En supposant que l'inverseur soit équilibré, c'est-à-dire que :

$$\mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} = \mu_p \cdot C_{OX} \cdot \frac{W_p}{L_p}$$

Et si  $L_n = L_p$  (= dimension minimale), alors :

$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p}$$

L'égalité des courants (NMOS et PMOS) se simplifie en :

$$(V_{in} - V_T)^2 = 2(V_{dd} - V_{in} - V_T)(V_{dd} - V_{out}) - (V_{dd} - V_{out})^2 \quad 1$$

Dérivons par rapport à  $V_{in}$  et  $V_{out}$  :

$$2(V_{in} - V_T) dV_{in} = -2[(V_{dd} - V_{out}) dV_{in} + (V_{dd} - V_{in} - V_T) dV_{out}] + 2(V_{dd} - V_{out}) dV_{out}$$

Divisons par  $2dV_{in}$  :

$$V_{in} - V_T = - \left[ (V_{dd} - V_{out}) + (V_{dd} - V_{in} - V_T) \frac{dV_{out}}{dV_{in}} \right] + (V_{dd} - V_{out}) \frac{dV_{out}}{dV_{in}}$$

Le point  $\alpha$  de la caractéristique de transfert est choisi de manière que pour toute tension inférieure à  $V_{in\alpha}$ , l'inverseur n'amplifie pas le bruit qui pourrait être superposé à son signal d'entrée. Cela correspond à la relation suivante :

$$\frac{dV_{out}}{dV_{in}} = -1 \quad \text{--- condition}$$

Ce qui donne :

$$\begin{aligned} (V_{in} - V_T) &= -2(V_{dd} - V_{out}) + (V_{dd} - V_{in} - V_T) \\ 2V_{in} - V_{dd} &= -2(V_{dd} - V_{out}) \\ V_{dd} - V_{out} &= \frac{V_{dd}}{2} - V_{in} \end{aligned} \quad (2)$$

Que nous reportons dans l'équation 1 :

$$\begin{aligned} (V_{in} - V_T)^2 &= 2(V_{dd} - V_{in} - V_T) \left( \frac{V_{dd}}{2} - V_{in} \right) - \left( \frac{V_{dd}}{2} - V_{in} \right)^2 \\ &= \left( \frac{V_{dd}}{2} - V_{in} \right) \left( 2V_{dd} - 2V_{in} - 2V_T - \frac{V_{dd}}{2} + V_{in} \right) \\ &= \left( \frac{V_{dd}}{2} - V_{in} \right) \left( \frac{3}{2}V_{dd} - V_{in} - 2V_T \right) \\ V_{in}^2 - 2V_{in}V_T + V_T^2 &= \frac{3}{4}V_{dd}^2 - \frac{1}{2}V_{dd}V_{in} - V_{dd}V_T - \frac{3}{2}V_{dd}V_{in} + V_{in}^2 + 2V_{in}V_T \\ V_{in}^2 + V_T^2 &= 4V_{in}V_T - 2V_{dd}V_{in} + \frac{3}{4}V_{dd}^2 - V_{dd}V_T \\ 2V_{in}(V_{dd} - 2V_T) &= (V_{dd} - 2V_T) \left( \frac{3}{4}V_{dd} + \frac{V_T}{2} \right) \end{aligned}$$

$$\text{D'où : } \boxed{V_{in\alpha} = \frac{1}{8}(3V_{dd} + 2V_T)}$$

**Calcul de la tension de sortie :**

De l'équation 2, on déduit :

$$\begin{aligned} V_{out\alpha} &= \frac{V_{dd}}{2} + V_{in\alpha} = \frac{V_{dd}}{2} + \frac{1}{8}(3V_{dd} + 2V_T) \\ \Rightarrow \quad &\boxed{V_{out\alpha} = \frac{1}{8}(7V_{dd} + 2V_T)} \end{aligned}$$

**Calcul du courant :**

$$i_\alpha = \frac{1}{2} \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} (V_{in} - V_T)^2 = \frac{1}{2} \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} \left[ \frac{3}{4} \left( \frac{V_{dd}}{2} - V_T \right)^2 \right]$$

$$i_{\alpha} = \frac{9}{32} \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} \left( \frac{V_{dd}}{2} - V_T \right)^2$$

Le point  $\alpha$  sera donc choisi comme le niveau maximum du niveau logique « 0 ». La pente de « -1 » de la caractéristique de transfert à cet endroit assure que le niveau de bruit en sortie sera au plus égal à celui en entrée.

### 3.4. Point $\beta$ :

Ce point est situé, par symétrie, au milieu de la caractéristique :

$$V_{in\beta} = V_{out\beta} = \frac{V_{dd}}{2} \quad \text{et} \quad i_{\beta} = \frac{1}{2} \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} \left( \frac{V_{dd}}{2} - V_T \right)^2$$

Comme il peut aussi s'écrire :

$$i_{\beta} = \frac{1}{2} \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} (V_{out} - V_T)^2$$

Dans cette dernière équation, le courant  $i_{\beta}$  ne dépend pas de  $V_{in}$ . Le gain de l'inverseur, considéré comme un amplificateur analogique, est donc théoriquement infini. Pratiquement, les effets parasites le ramènent à une valeur voisine de 10.

### 3.5. Point $\delta$ :

Au point  $\delta$ , l'expression du courant commun est :

$$i_{\alpha} = \frac{1}{2} \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} [2(V_{in} - V_T)V_{out} - V_{out}^2] = \frac{1}{2} \mu_p \cdot C_{OX} \cdot \frac{W_p}{L_p} [(V_{dd} - V_{in} - V_T)^2]$$

Un raisonnement identique au calcul du courant au point  $\alpha$  conduit à :

$$2(V_{in} - V_T)V_{out} - V_{out}^2 = (V_{dd} - V_{in} - V_T)^2 \quad 3$$

Le point  $\delta$  est choisi avec des conditions semblables à celles du point  $\alpha$ , d'où :

$$\frac{dV_{out}}{dV_{in}} = -1$$

Dérivons l'équation 3 :

$$V_{out} + (V_{in} - V_T) \frac{dV_{out}}{dV_{in}} - V_{out} \frac{dV_{out}}{dV_{in}} = -(V_{dd} - V_{in} - V_T)$$

$$V_{out} - V_{in} + V_T + V_{out} = -(V_{dd} - V_{in} - V_T)$$

Ce qui donne :  $V_{out} = V_{in} - \frac{V_{dd}}{2}$  qu'on reporte dans l'équation 3 :

$$2(V_{in} - V_T) \left( V_{in} - \frac{V_{dd}}{2} \right) - \left( V_{in} - \frac{V_{dd}}{2} \right)^2 = (V_{dd} - V_{in} - V_T)^2$$

Ce qui donne, après développement :

$$2V_{in} (V_{dd} - 2V_T) = (V_{dd} - 2V_T) \left( \frac{5}{4} V_{dd} - \frac{V_T}{2} \right)^2$$

D'où : 
$$V_{in\delta} = \frac{1}{8} (5V_{dd} - 2V_T)$$

Et : 
$$V_{out\delta} = \frac{1}{8} (V_{dd} - 2V_T)$$

$V_{out\delta} < V_T$  et le point  $\delta$  est choisi comme le niveau minimum du niveau logique « 1 ».

**Calcul du courant :**

$$i_\delta = \frac{1}{2} \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} [2(V_{in} - V_T)V_{out} - V_{out}^2]$$

En éliminant  $V_{out}$  et en la remplaçant par sa valeur au point  $\delta$ , on obtient :

$$i_\delta = \frac{1}{2} \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} \left[ 2(V_{in} - V_T) \left( V_{in} - \frac{V_{dd}}{2} \right) - \left( V_{in} - \frac{V_{dd}}{2} \right)^2 \right]$$

En éliminant  $V_{in}$  et en la remplaçant par sa valeur au point  $\delta$ , on obtient :

$$i_\delta = \frac{1}{2} \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} \left[ 2 \left[ \frac{1}{8} (5V_{dd} - 2V_T) - V_T \right] \left[ \left( \frac{1}{8} (5V_{dd} - 2V_T) \right) - \frac{V_{dd}}{2} \right] - \left[ \left( \frac{1}{8} (5V_{dd} - 2V_T) \right) - \frac{V_{dd}}{2} \right]^2 \right]$$

Qu'on peut réécrire comme suit :

$$i_\delta = \frac{9}{32} \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} \left( \frac{V_{dd}}{2} - V_T \right)^2$$

On remarque que :  $i_\alpha = i_\delta = 9/16 i_\beta = 0.56 i_\beta$ .

### 3.3. Niveaux logiques

L'étude et l'utilisation du fonctionnement des portes se fait sur une abstraction logique de leurs niveaux d'entrée et de sortie qui représentent des niveaux de tension.

Les *niveaux logiques*  $V_0$  et  $V_1$  sont choisis de manière à assurer simultanément :

- Un « bon » blocage du ou des transistors qui doivent l'être, c'est-à-dire un niveau  $V_0$  inférieur à  $V_T$  et un niveau  $V_1$  supérieur à  $V_{dd} - V_T$ .

- Une « bonne » limitation de la propagation des *bruits* (parasites) dans le circuit, c'est-à-dire un niveau  $V_0$  inférieur à  $V_{in\delta}$  et un niveau  $V_1$  supérieur à  $V_{ina}$ .

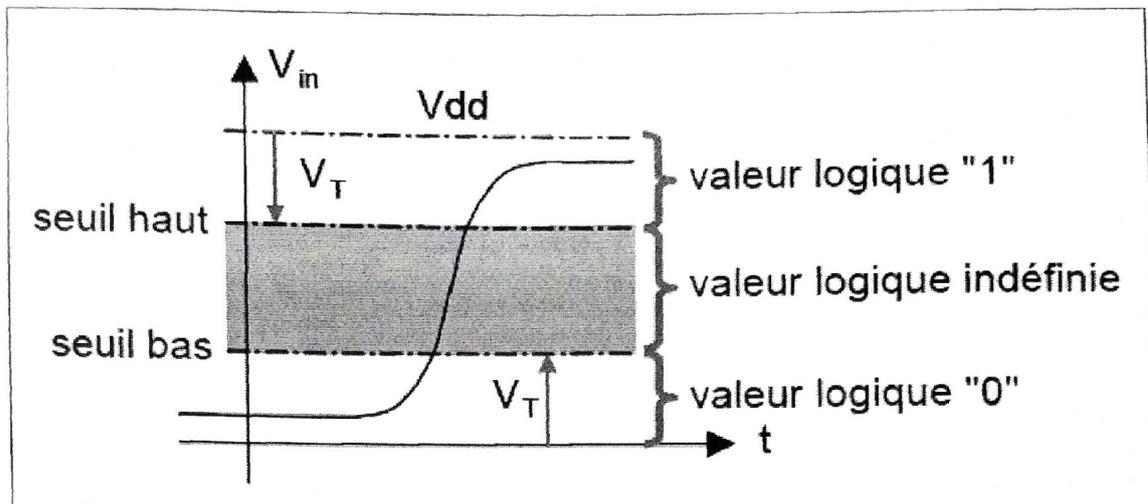


Figure 22 : Niveaux logiques.

- $V_{0Hmin}$  : Tension de sortie maximale produite à l'état High ( $V_{dd} - 0.1V$ ).
- $V_{1Hmin}$  : Tension de sortie minimale reconnue comme état High (70%  $V_{dd}$ ).
- $V_{1Lmax}$  : Tension de sortie maximale reconnue comme état Low (30%  $V_{dd}$ ).
- $V_{0Lmax}$  : Tension de sortie maximale produite à l'état Low (ground + 0.1V).