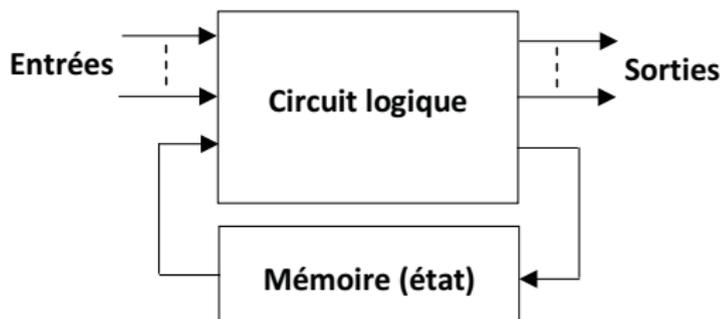


## Partie 2 : Circuits logiques séquentiels

Cours structure machine 2 - Première année MI

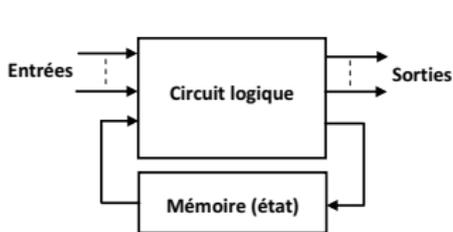
# Introduction

- Contrairement aux circuits combinatoires, les sorties des circuits séquentiels ne dépendent pas uniquement des entrées mais aussi de l'état actuel du système.
- Les circuits séquentiels sont donc dotés de dispositifs de mémorisation d'états logiques.

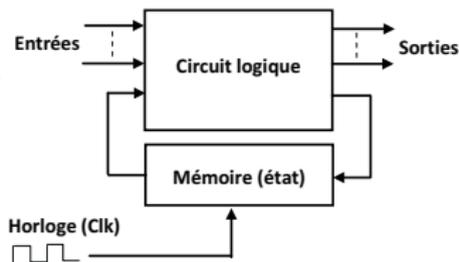


# Introduction

- Suivant les conditions de changement des sorties, on distingue :
  - Les circuits séquentiels asynchrones : l'état des sorties change spontanément à la suite d'un changement des valeurs d'entrée.
  - Les circuits séquentiels synchrones : l'évolution des sorties est commandée par un signal spécifique appelé signal d'horloge.



Asynchrone

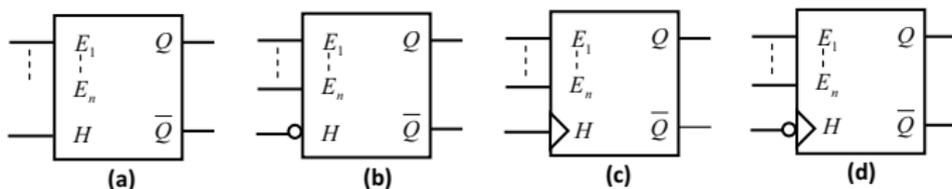


Synchrone

- Dans les circuits séquentiels, la mémorisation d'état est assurée par un dispositif spécifique appelé bascule ou bistable.

# Les bascules

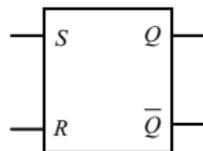
- La bascule est l'élément de base de tout circuit séquentiel synchrone ou asynchrone.
- Elle possède une ou plusieurs entrées, une entrée d'horloge notée  $H$  pour les bascules synchrones, une sortie principale notée  $Q$  et éventuellement une sortie complémentaire notée  $\bar{Q}$ .
- Pour les bascules synchrones, la forme de l'entrée d'horloge change selon le mode d'activation utilisé : activation sur niveau d'horloge (haut (a) ou bas (b)) ou sur front d'horloge (montant (c) ou descendant (d)).



- On distingue cinq types différents de bascules : RS, RSH, JK, D et T.

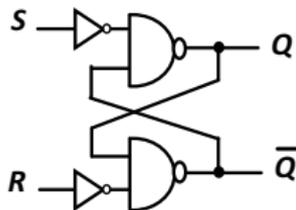
# La bascule RS

- La bascule RS est la bascule élémentaire, qui constitue la base de tous les autres types de bascules.



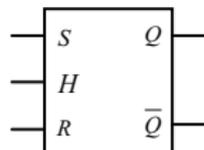
- C'est une bascule asynchrone à deux entrées R et S. l'entrée R pour la remise à zero (reset) de la sortie Q et l'entrée S pour la mise à un (set) de la sortie Q.
  - Pour la combinaison  $R=S=0$ , les sorties restent dans l'état précédent (mémoire).
  - La combinaison  $R=S=1$  est une combinaison interdite.

R	S	$Q_{n+1}$
0	0	$Q_n$
0	1	1
1	0	0
1	1	X



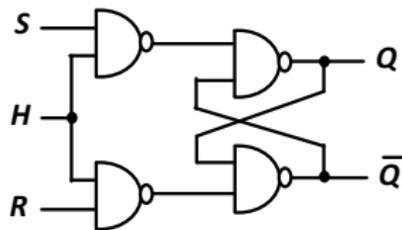
# La bascule RSH

- La bascule RSH est une bascule RS synchrone dont la prise en compte de l'état de leurs entrées est synchronisée par un signal d'horloge.



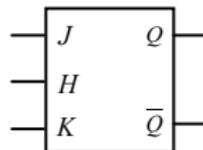
- Lorsque H est active, le fonctionnement de la bascule RSH est identique à celui de la bascule RS.
- Lorsque H n'est pas active, les sorties restent dans l'état précédent (mémorisation).

R	S	$Q_{n+1}$	
		H active	H non active
0	0	$Q_n$	$Q_n$
0	1	1	$Q_n$
1	0	0	$Q_n$
1	1	X	$Q_n$



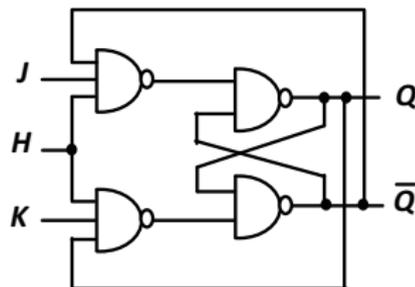
# La bascule JK

- La bascule JK est une bascule RSH dont l'état interdit ( $R=S=1$ ) est éliminé en rebouclant les sorties sur les entrées.



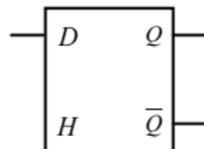
- Lorsque H est active et  $J=1$  et  $K=0$ , la sortie Q sera mise à 1 (set).
- Lorsque H est active et  $J=0$  et  $K=1$ , la sortie Q sera remise à 0 (reset).
- Lorsque H est active et  $J=1$  et  $K=1$ , la sortie Q sera inversée.
- Lorsque H n'est pas active ou  $J=0$  et  $K=0$ , les sorties restent dans l'état précédent (mémoire).

J	K	$Q_{n+1}$	
		H active	H non active
0	0	$Q_n$	$Q_n$
0	1	0	$Q_n$
1	0	1	$Q_n$
1	1	$\overline{Q_n}$	$Q_n$



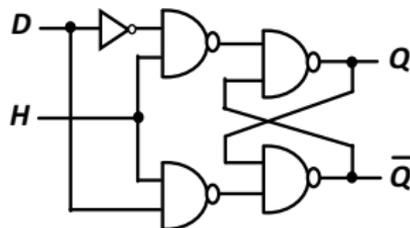
# La bascule D

- La bascule D est une bascule RSH dont les entrées R et S sont complémentées afin d'éliminer l'état interdit ( $R=S=1$ ) et de minimiser le nombre d'états de mémorisation.



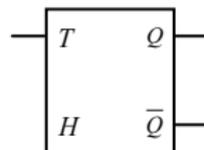
- Lorsque H est active et  $D=1$ , la sortie Q sera mise à 1 (set).
- Lorsque H est active et  $D=0$ , la sortie Q sera remise à 0 (reset).
- Lorsque H n'est pas active, les sorties restent dans l'état précédent (mémorisation).

D	$Q_{n+1}$	
	H active	H non active
0	0	$Q_n$
1	1	$Q_n$



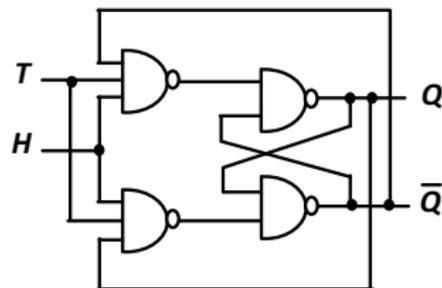
# La bascule T

- La bascule T est une bascule qui a une seule entrée T. Il s'agit d'une bascule JK dont les deux entrées sont connectées ensemble.



- Lorsque H est active et  $T=1$ , la sortie Q sera inversée.
- Lorsque H n'est pas active ou  $T=0$ , les sorties restent dans l'état précédent (mémorisation).

T	$Q_{n+1}$	
	H active	H non active
0	$Q_n$	$Q_n$
1	$\overline{Q_n}$	$Q_n$

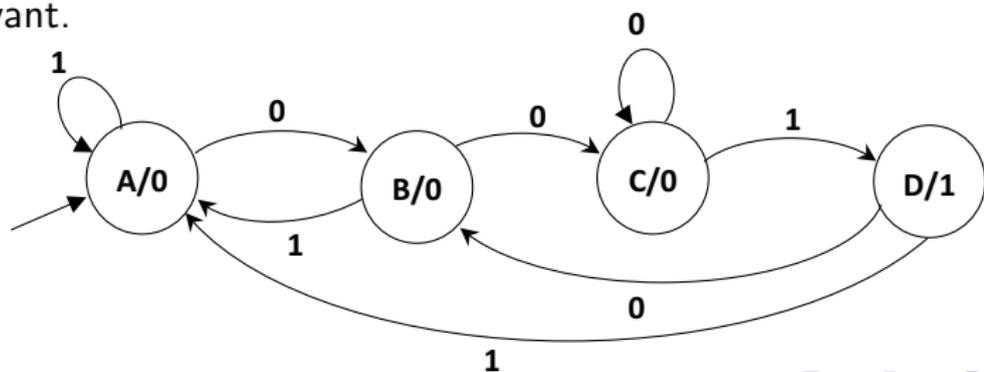


# Synthèse des circuits séquentiels

- La synthèse d'un circuit séquentiel est l'opération qui permet de passer d'un cahier des charges décrivant le fonctionnement du système au circuit logique correspondant.
- fonctionnement décrit dans ce cahier des charges peut être représenté par un graphe appelé graphe d'état.

Exemple : Synthèse d'un circuit séquentiel qui détecte la séquence 001 en utilisant des bascules D.

- Le graphe d'état de ce circuit sera donné par le graphe de Moore suivant.



# Synthèse des circuits séquentiels

- Le graphe de ce circuit contient 4 états, nous aurons donc besoin de 2 bascules D.
- La table de transitions correspondant au graphe d'état précédent sera donc donnée comme suite.

Etat actuel		Entrée E	Etat futur		Bascule 1 D1	Bascule 0 D0	Sortie S
q1	q0		Q1	Q0			
0	0	0	0	1	0	1	0
0	0	1	0	0	0	0	0
0	1	0	1	0	1	0	0
0	1	1	0	0	0	0	0
1	0	0	1	0	1	0	0
1	0	1	1	1	1	1	1
1	1	0	0	1	0	1	0
1	1	1	0	0	0	0	0

# Synthèse des circuits séquentiels

- Les expressions simplifiées des entrées des deux bascules sont calculées à partir des tables de karnaugh suivantes.

$q_1q_0$ $E$	00	01	11	10
0	0	1	0	1
1	0	0	0	1

$D_1$

$q_1q_0$ $E$	00	01	11	10
0	1	0	1	0
1	0	0	0	1

$D_0$

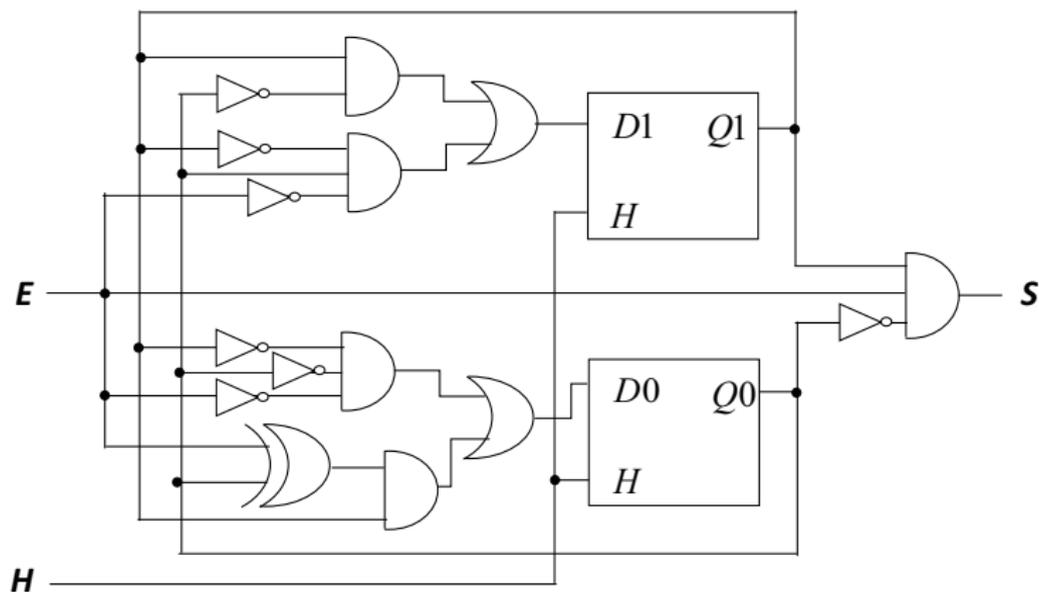
$$D_1 = q_1 \cdot q_0 + q_1 \cdot q_0 \cdot \bar{E}$$

$$D_0 = q_1 \cdot q_0 \cdot \bar{E} + q_1 \cdot q_0 \cdot E + q_1 \cdot q_0 \cdot E = q_1 \cdot q_0 \cdot \bar{E} + q_1 \cdot (q_0 \oplus E)$$

$$S = q_1 \cdot q_0 \cdot E$$

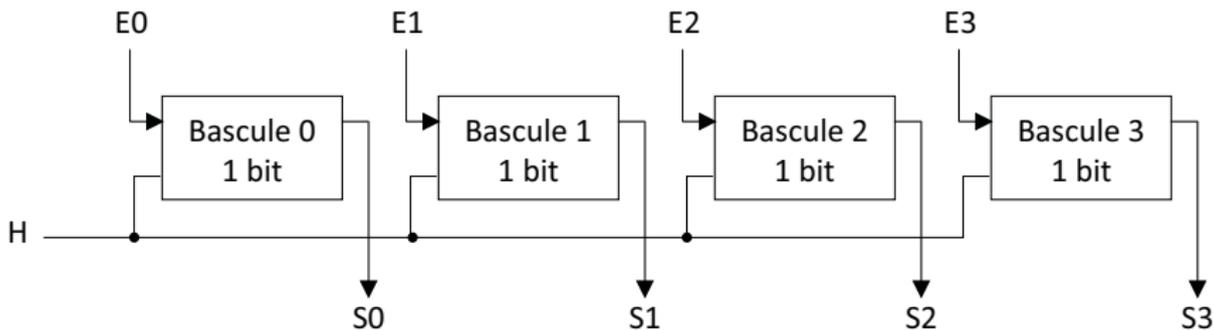
# Synthèse des circuits séquentiels

- Le schéma logique correspondant au détecteur de la séquence 001 sera donc donné comme suite.



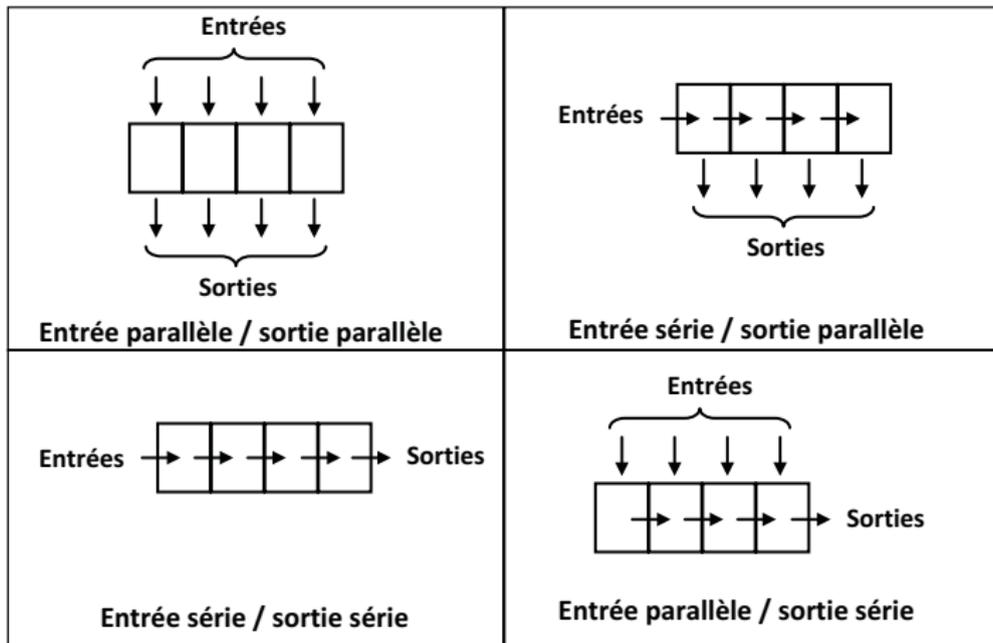
# Les registres

- Un registre est un circuit séquentiel constitué de  $n$  bascules mises en série afin de mémoriser une information binaire sur  $n$  bits.



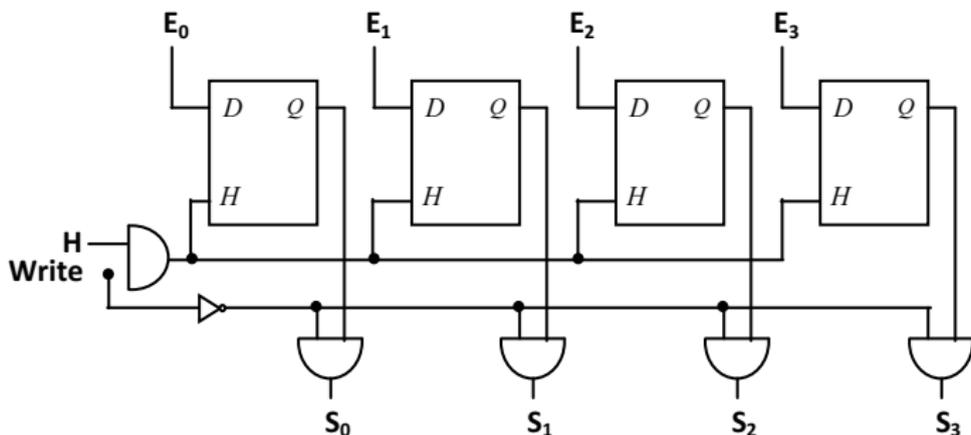
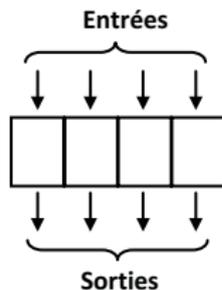
# Les registres

- Suivant le mode d'accès au registre (en lecture et en écriture), nous pouvons distinguer quatre types différents de registres.



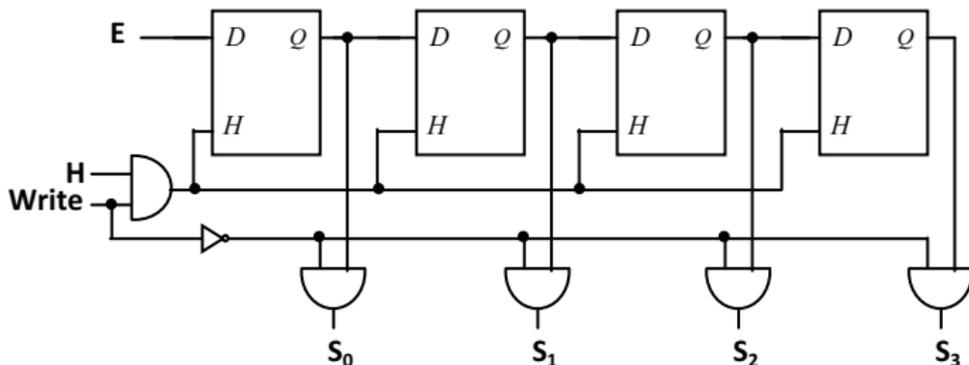
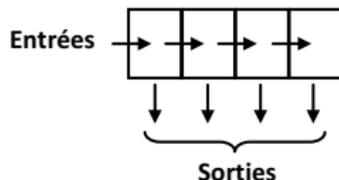
# Les registres à entrée parallèle et sortie parallèle

- Les registres à entrée parallèle et sortie parallèle sont des registres avec  $n$  entrées et  $n$  sorties de données. Ce type de registres est généralement utilisé pour stocker momentanément une information de  $n$  bits.



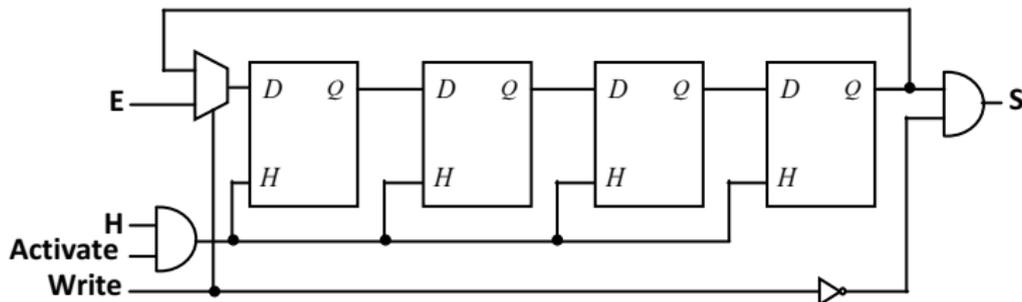
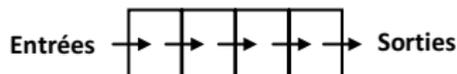
# Les registres à entrée série et sortie parallèle

- Les registres à entrée série et sortie parallèle sont des registres avec une seule entrée et  $n$  sorties de données. Pour écrire dans ce type de registres les bits sont décalés d'une bascule à l'autre au rythme d'horloge.



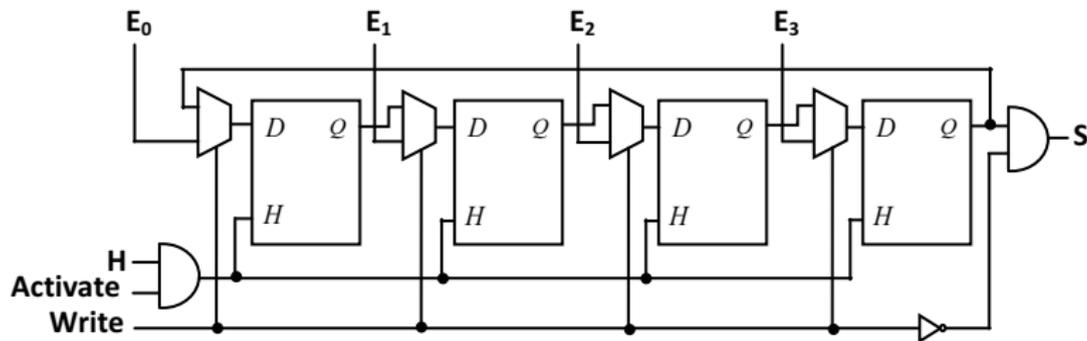
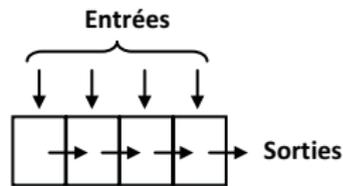
# Les registres à entrée série et sortie série

- Les registres à entrée série et sortie série sont des registres avec une seule entrée et une seule sortie de données. Pour lire ou écrire dans ce type de registres les bits sont décalés d'une bascule à l'autre au rythme d'horloge.



# Les registres à entrée parallèle et sortie série

- Les registres à entrée parallèle et sortie série sont des registres avec  $n$  entrées et une seule sortie de données. Pour lire de ce type de registres les bits sont décalés d'une bascule à l'autre au rythme d'horloge.



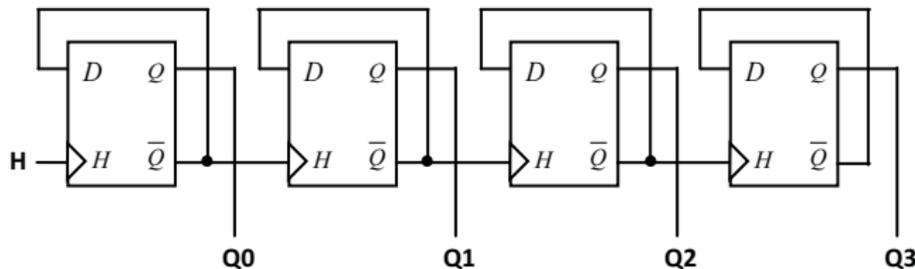
# Les compteurs

- Un compteur est un ensemble de  $n$  bascules reliées entre elles de manière à compter, au rythme d'une horloge, une séquence déterminée qui peut avoir au maximum  $2^n$  combinaisons différentes.
- Le nombre binaire stocké dans les bascules d'un registre s'incrémente régulièrement chaque fois qu'une impulsion d'horloge est appliquée à son entrée.
- Un compteur binaire est appelé modulo  $N$  s'il peut compter jusqu'à  $N - 1$ , l'impulsion qui suit celle de la valeur  $N - 1$  le remet obligatoirement à zéro.
- Suivant le mode de connexion des bascules, nous pouvons distinguer deux types de compteurs : **les compteurs asynchrones** et **les compteurs synchrones**.

# Les compteurs asynchrones

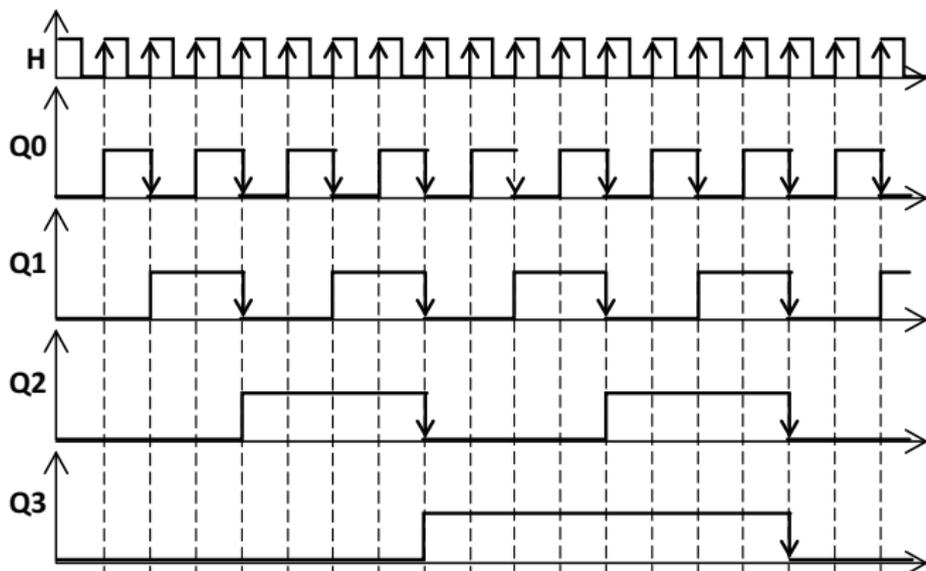
- Un compteur asynchrone est un compteur dont les bascules qui le constituent ne sont pas synchronisées, c'est à dire les impulsions d'horloge de ce type de compteurs doivent d'abord traverser la première bascule avant de pouvoir commander la seconde et ainsi de suite jusqu'à la dernière bascule.
- Dans ce type de compteurs le signal d'horloge est relié uniquement à la première bascule. Pour les autres bascules, l'entrée d'horloge n'est autre que la sortie des bascules qui les précèdent.

**Exemple :** le compteur asynchrone qui compte de 0 à 16 sera donc donné comme suite :



# Les compteurs asynchrones

- Le chronogramme correspondant au compteur précédent est donné comme suite.



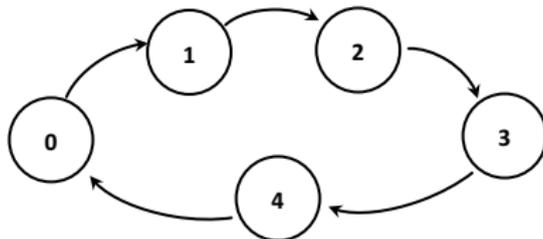
# Les compteurs asynchrones

- Les compteurs asynchrones présentent malheureusement plusieurs inconvénients, tels que :
  - La vitesse de fonctionnement qui est limitée, notamment pour les compteurs de grande taille. Ceci est dû au retard du basculement qui se cumule d'une bascule à l'autre.
  - La présence d'états transitoires indésirables sur les sorties de leurs bascules après chaque incrémentation du compteur.
  - L'absence de méthode et de démarche fiable pour réaliser des compteurs à cycles incomplets (modulo  $M$  et  $M \neq 2^n$ ) ou des compteurs à énumérations autres que l'énumération binaire naturelle.

# Les compteurs synchrones

- Un compteur synchrone est un compteur dont les bascules qui le constituent sont synchronisées sur le même signal d'horloge, c'est à dire le signal d'horloge de ce type de compteurs est appliqué simultanément à toutes les entrées d'horloge des différentes bascules.
- Contrairement aux compteurs asynchrones, la synthèse des compteurs synchrones suit une démarche bien déterminée en construisant la table de transitions correspondant au graphe d'état du compteur.

**Exemple :** Nous pouvons facilement construire le schéma logique d'un compteur modulo 5 à partir de son graphe d'état suivant :



# Les compteurs synchrones

- La table de transitions correspondant à ce compteur sera donc donnée comme suite.

Etat actuel			Etat futur			Bascule 2	Bascule 1	Bascule 0
q2	q1	q0	Q2	Q1	Q0	D2	D1	D0
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	0
0	1	0	0	1	1	0	1	1
0	1	1	1	0	0	1	0	0
1	0	0	0	0	0	0	0	0

- Les expressions simplifiées des entrées des bascules sont données à partir des tables de karnaugh suivantes.

<del>q2</del> q1	00	01	11	10
q0	0	0	X	0
1	0	1	X	X

$$D2 = q1 \cdot q0$$

<del>q2</del> q1	00	01	11	10
q0	0	1	X	0
1	1	0	X	X

$$D1 = q1 \oplus q0$$

<del>q2</del> q1	00	01	11	10
q0	1	1	X	0
1	0	0	X	X

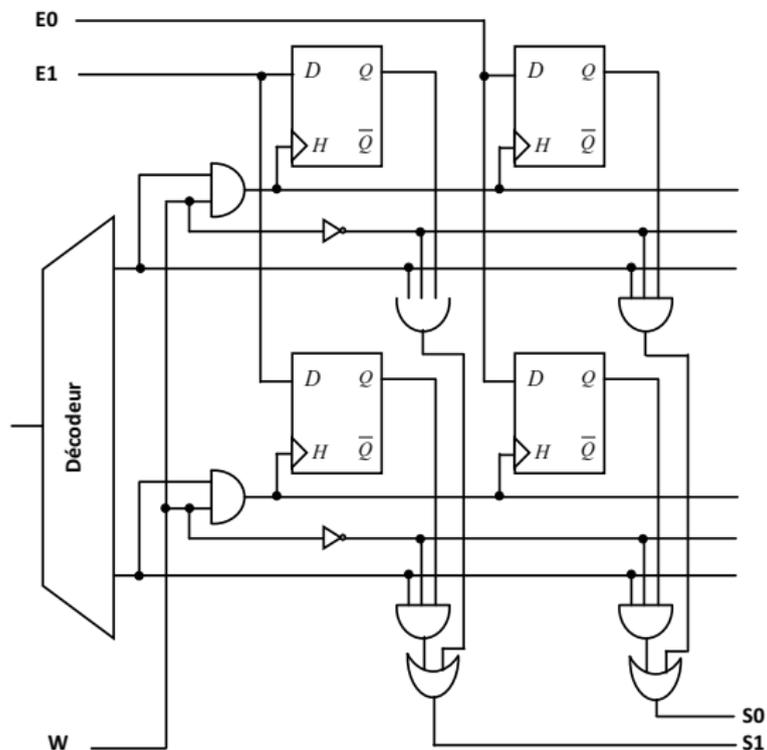
$$D0 = \overline{q2} \cdot \overline{q0}$$



## Les mémoires à semi-conducteur.

- Une mémoire à semi-conducteur est un ensemble de bascules organisées sous forme d'une matrice de  $n$  lignes et  $m$  colonnes, dont chaque bascule représente un élément de cette matrice.
- Les lignes de la matrice mémoire sont accessibles directement par leur adresse. Ces dernières ont la particularité de pouvoir être lues ou écrites.
- Le schéma suivant représente une mémoire  $2 \times 2$  (2 cases de 2 bits chacune) réalisée à partir de bascules D.

# Les mémoires à semi-conducteur.



# Références



Wladimir Mercouroff.

*Architecture matérielle et logicielle des ordinateurs et des microprocesseurs.*

*Armand Colin, 1990. ISBN : 2-200-42007-2.*

**Bibliothèque centrale, Université de Jijel, Cote :002/07.**



Joel Ristori, Lucien Ungaro.

*Cours d'architecture des ordinateurs.*

*Eyrolles, 1991.*

**Bibliothèque centrale, Université de Jijel, Cote :002/17.**



Pierre-Alain Goupille.

*Technologie des ordinateurs pour les I.U.T et B.T.S informatique avec exercices.*

*Masson, 1993.*

**Bibliothèque centrale, Université de Jijel, Cote :002/01.**

# Références



André Poinso.

*Problèmes d'électronique logique.*

Masson , 1994. ISSN : 2225844518.

**Bibliothèque centrale, Université de Jijel, Cote :621/270.**



Paolo Zanella, Yves Ligier.

*Architecture et technologie des ordinateurs.*

Dunod, 1998. ISBN : 210003801X.

**Bibliothèque centrale, Université de Jijel, Cote :004/258.**



Habiba Drias-Zerkaoui.

*Introduction à l'architecture des ordinateurs.*

Office des publications universitaires, 2006.

**Bibliothèque centrale, Université de Jijel, Cote :002/08.**