


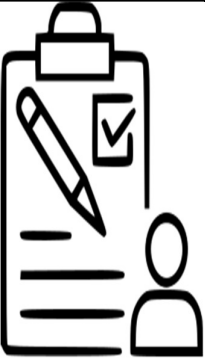
Travaux Pratiques


Logique Combinatoire et Séquentielle

TP N°3

**ADDITIONNEUR ET SOUSTRACTEUR
 À 4 BITS**

	Nom et prénom		Groupe
	01		
	02		
	03		

	Evaluation	Pts	Pourcentage de réalisation	Note	Signature de l'enseignant
	Partie théorique	6 pts	%	/6	
	Expérience 01	2 pts	%	/2	
	Expérience 02	3 pts	%	/3	
	Expérience 03	4 pts	%	/4	
	Niveau de maîtrise	5 pts	%	/5	
Note globale				/20

	Noms et prénoms des enseignants	
	01	
	02	

Fait le

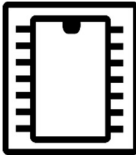
...../...../.....

But du TP & matériel



Le but de ce TP est de faire l'analyse et la réalisation d'un circuit arithmétique à base de portes logiques en prenant l'additionneur comme exemple, l'étudiant doit :

- 1) Comprendre et différencier entre un demi-additionneur et un additionneur complet.
- 2) Dédurre leurs tables de vérité, écrire leurs fonctions logiques à partir de ces derniers, les simplifier et les réaliser puis faire la comparaison avec un additionneur à circuit intégré.



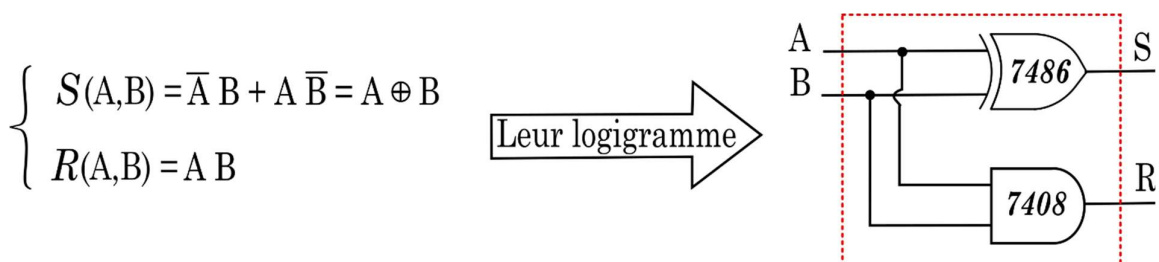
Alimentation 5V, plaque d'essai, fils de connexion, LEDs, résistances de 470 ohm et circuits intégrés (7404, 7408, 7432, 7486 et 7483).

Ce que vous devrez savoir

Les opérations arithmétiques (+, -, x, /) en électronique numérique (calculatrice, microprocesseur) se font en système binaire, Il s'agit d'une opération entre deux bits ('0' et/ou '1'). Si on prend l'exemple de l'opération d'addition, on constate qu'il y a quatre cas possibles. On peut les écrire dans une table de vérité de la manière suivante :

S=Somme R=Retenue	$\begin{array}{r} +A \\ +B \\ \hline =RS \end{array}$	<p><i>Les quatre cas possibles</i></p> <table style="border-collapse: collapse; border: none;"> <tr> <td style="border: none; padding: 5px;">$\begin{array}{r} 0 \\ +0 \\ \hline =0 \end{array}$</td> <td style="border: none; padding: 5px;">$\begin{array}{r} 0 \\ +1 \\ \hline =1 \end{array}$</td> <td style="border: none; padding: 5px;">$\begin{array}{r} 1 \\ +0 \\ \hline =1 \end{array}$</td> <td style="border: none; padding: 5px;">$\begin{array}{r} 1 \\ +1 \\ \hline =10 \end{array}$</td> </tr> <tr> <td style="border: none; padding: 5px;">S=0 R=0</td> <td style="border: none; padding: 5px;">S=1 R=0</td> <td style="border: none; padding: 5px;">S=1 R=0</td> <td style="border: none; padding: 5px;">S=0 R=1</td> </tr> </table>	$\begin{array}{r} 0 \\ +0 \\ \hline =0 \end{array}$	$\begin{array}{r} 0 \\ +1 \\ \hline =1 \end{array}$	$\begin{array}{r} 1 \\ +0 \\ \hline =1 \end{array}$	$\begin{array}{r} 1 \\ +1 \\ \hline =10 \end{array}$	S=0 R=0	S=1 R=0	S=1 R=0	S=0 R=1	<p>Table de vérité</p> <table border="1" style="border-collapse: collapse; text-align: center;"> <thead> <tr> <th>A</th> <th>B</th> <th>S</th> <th>R</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> </tr> </tbody> </table>	A	B	S	R	0	0	0	0	0	1	1	0	1	0	1	0	1	1	0	1
$\begin{array}{r} 0 \\ +0 \\ \hline =0 \end{array}$	$\begin{array}{r} 0 \\ +1 \\ \hline =1 \end{array}$	$\begin{array}{r} 1 \\ +0 \\ \hline =1 \end{array}$	$\begin{array}{r} 1 \\ +1 \\ \hline =10 \end{array}$																												
S=0 R=0	S=1 R=0	S=1 R=0	S=0 R=1																												
A	B	S	R																												
0	0	0	0																												
0	1	1	0																												
1	0	1	0																												
1	1	0	1																												

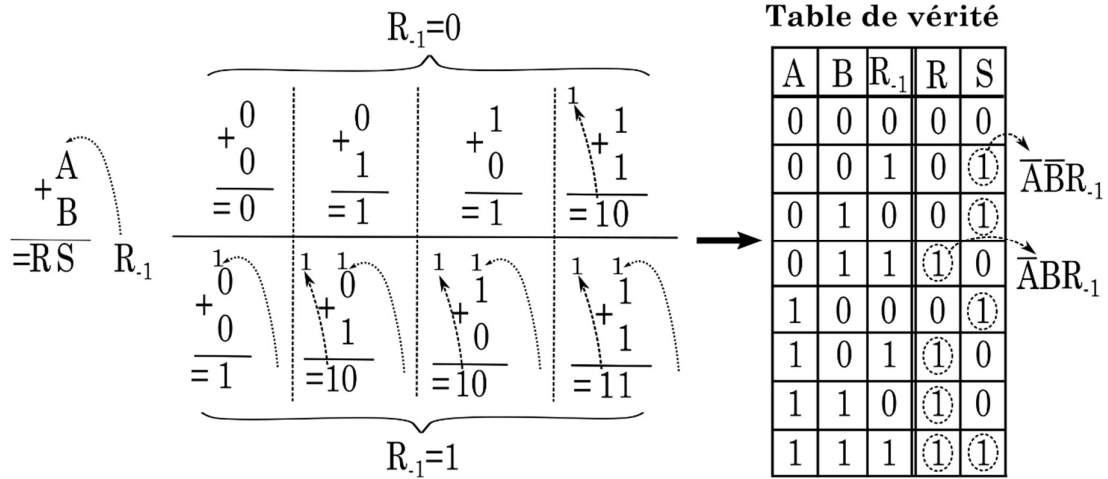
Les deux sorties (S et R) de la table de vérité sont considérées des fonctions logiques, elles sont écrites en fonction des deux variables d'entrée (A et B) sous la forme suivante :



Le circuit à l'intérieur du rectangle pointillé s'appel **un demi-additionneur**, il fait l'addition de deux bits sans tenir en compte la retenue précédente. De ce fait :

Un additionneur complet fait l'addition de trois bits :

Deux bits (A et B) et le troisième bit qui est la retenue de l'étage précédent R_{-1} .



A partir de la table de vérité, les fonctions logiques S et R prennent les formules suivantes :

$$\begin{cases} S(A,B,R_{-1}) = \bar{A}\bar{B}R_{-1} + \bar{A}B\bar{R}_{-1} + A\bar{B}\bar{R}_{-1} + ABR_{-1} \\ R(A,B,R_{-1}) = \bar{A}BR_{-1} + \bar{A}B\bar{R}_{-1} + A\bar{B}R_{-1} + ABR_{-1} \end{cases}$$

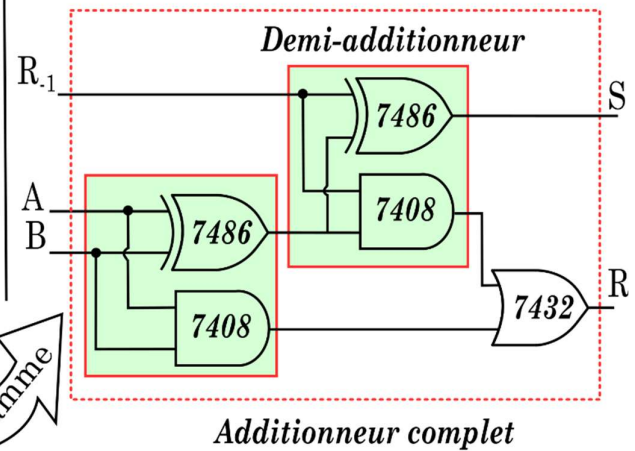
Par l'utilisation des ces deux relations :

$$\bar{A}\bar{B} + \bar{A}B = A \oplus B \quad \text{et} \quad AB + \bar{A}\bar{B} = \bar{A} \oplus \bar{B}$$

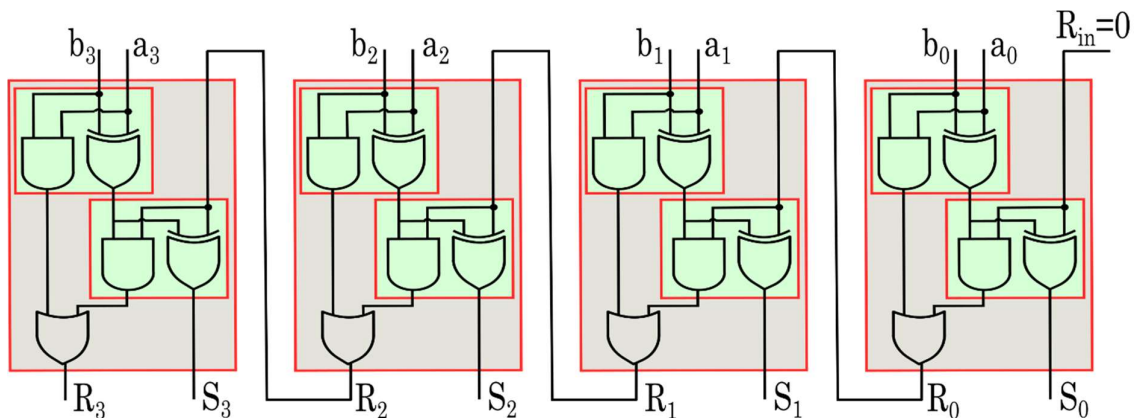
Les équations de S et R deviennent:

$$\begin{cases} S(A,B,R_{-1}) = R_{-1} \oplus (A \oplus B) \\ R(A,B,R_{-1}) = R_{-1} (A \oplus B) + AB \end{cases}$$

leur logigramme



Additionneur à 4 bits : En réalité, les nombres binaires sont composés de plus d'un bit, à cet effet, pour faire la somme de deux nombres ($A=a_3a_2a_1a_0$ et $B=b_3b_2b_1b_0$) de 4 bits chacun, il nous faut 4 additionneurs complets, qui seront câblés de la manière suivante :





Si vous savez que l'opération de **soustraction** en système binaire est également basée sur les quatre cas de soustraction à deux bits présentés ci-après:

- **Compléter** la table de vérité de demi-soustracteur et **déduire** les équations logiques de deux variables de sortie (D et E) puis **tracer** leur logigramme.

Les quatres cas possibles

emprunte de 1	A	B	D	E
	0	1	1	0
	-	-	-	-
	1	1	0	0
	=	=	=	=
	1	0	1	0
	D=1	D=0	D=1	D=0
	E=1	E=0	E=0	E=0

Table de vérité

A	B	D	E
0	0		
0	1		
1	0		
1	1		

{

$D(A,B) = \dots\dots\dots$

$E(A,B) = \dots\dots\dots$

}

Leur logigramme

A_____D

B_____E

- Si on prend en compte la retenue précédente, le demi-soustracteur devient **un soustracteur complet** et sa table vérité s'écrit comme suit:

Table de vérité

A	B	E _{in}	D	E _{out}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1



Donner les fonctions logiques des variables de sortie D et E, et tracer leur logigramme.,

{

$D = \dots\dots\dots$

$E_{out} = \dots\dots\dots$

}

A_____D

B_____E_{out}

E_{in}_____

Ce que vous devrez réaliser

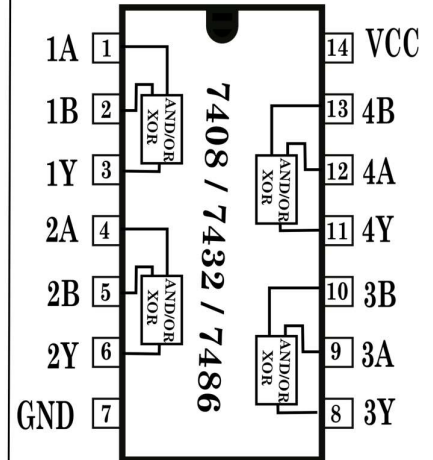
- **Réaliser** à l'aide des portes logiques le circuit d'un demi-additionneur et d'un additionneur complet et **remplir** leurs tableaux de mesure suivantes :

Tableau de mesure d'un demi-additionneur

A	B	R	S
0V	0V		
0V	5V		
5V	0V		
5V	5V		

Tableau de mesure d'un additionneur complet

A	B	R ₁	R	S
0V	0V	0V		
0V	0V	5V		
0V	5V	5V		
5V	0V	0V		
5V	0V	5V		
5V	5V	0V		
5V	5V	5V		



Additionneur à circuit intégré : Le schéma de l'additionneur de deux nombres à 4 bits, décrit dans la section précédente, représente le schéma interne de l'additionneur à 4 bits à circuit intégré **7483**, dont son brochage et son câblage est le suivant :

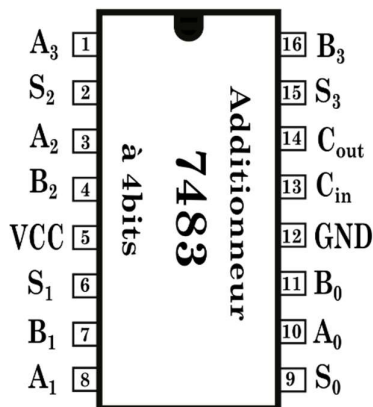


Schéma de brochage

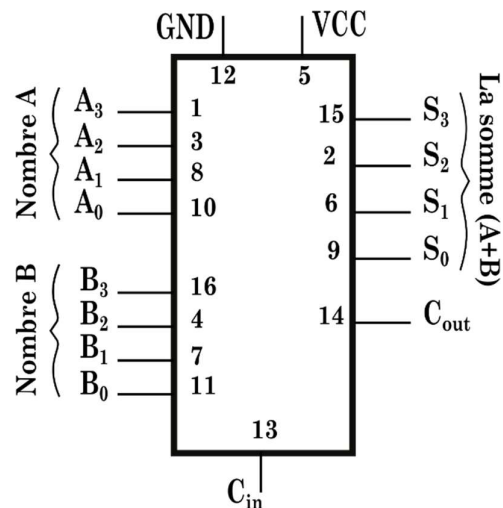


Schéma de câblage

- Utiliser ce circuit (7483) pour réaliser un montage qui vous permettra de calculer la somme de deux nombres A et B (à 4 bits) donnés dans le tableau suivant :

A ₃	A ₂	A ₁	A ₀	B ₃	B ₂	B ₁	B ₀	C _{out}	S ₃	S ₂	S ₁	S ₀
0V	0V	5V	0V	0V	0V	5V	5V					
0V	5V	0V	0V	0V	5V	5V	0V					
5V	0V	5V	0V	5V	0V	5V	0V					
5V	5V	5V	5V	5V	5V	5V	5V					

Niveau de maîtrise

En utilisant le schéma bloc d'un demi-additionneur (donné ci-dessous), **tracer** le logigramme d'un additionneur de deux nombres à trois bits chacun ($A=A_2A_1A_0$ et $B=B_2B_1B_0$).

