

## Chapitre 2. Les technologies des éléments programmables

### I. Généralité sur les technologies des éléments programmables

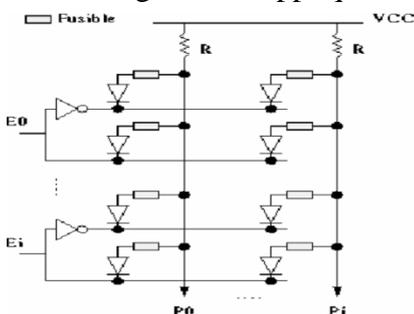
On trouve les éléments programmables dans les blocs logiques des PLDs, afin de leur donner une fonctionnalité, mais aussi dans les matrices d'interconnexions entre ces blocs. Un élément programmable peut être considéré comme un interrupteur. Afin de respecter les contraintes imposées à l'ingénieur, les éléments programmables doivent posséder plusieurs qualités :

- Ils doivent occuper une surface la plus petite possible (Ce point s'explique pour des raisons évidentes de coût. Ceci est d'autant plus vrai que l'on désire en disposer d'un grand nombre).
- Ils doivent posséder une résistance de passage faible et une résistance de coupure très élevée.
- Ils doivent apporter un minimum de capacité parasite.

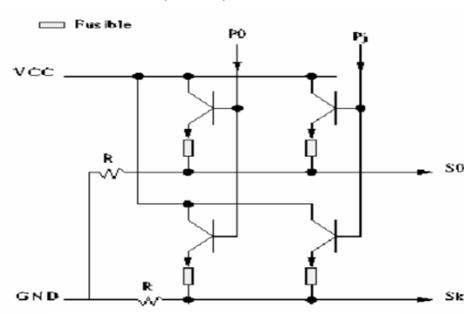
Les deux derniers points s'expliquent quant à eux pour des raisons de performance en termes de fréquence de fonctionnement du PLD. Plus la résistance et la capacité sur le chemin d'un signal sont faibles, plus la fréquence de ce signal peut être élevée (RC effet).

### II. Les technologies à fusibles

Les fusibles sont grillés en appliquant des tensions élevées (12V)



Technologie fusible-diode



Technologie fusible-transistor

Technologies maintenant abandonnées pour des raisons de manque de fiabilité.

Le fait de "griller" les fusibles provoque des perturbations qui peuvent affecter le reste du circuit. De plus, cette programmation est irréversible et ne permet donc pas re-programmabilité.

### **III. Les technologies à anti-fusibles (Actel, QuickLogic, Crosspoint et Xilinx)**

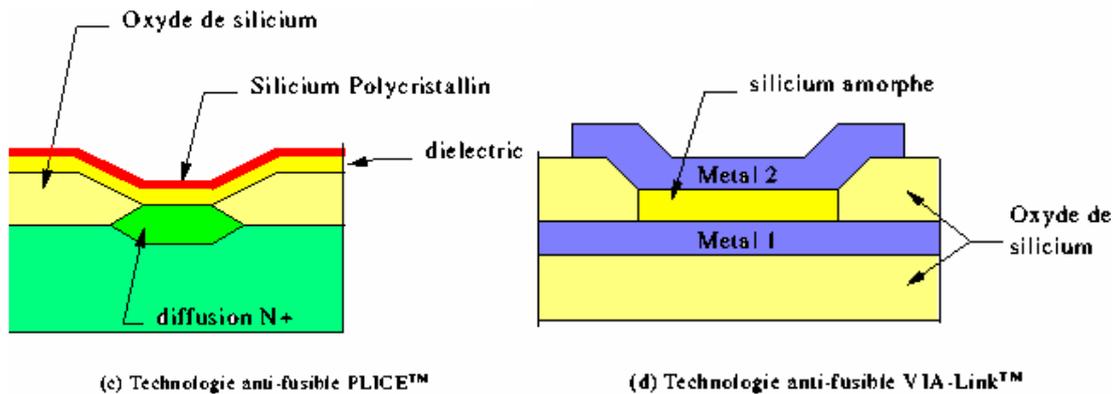
L'inverse d'un fusible est un anti-fusible. Le principe est, à l'échelle microscopique, celui de la soudure électrique par points. Un point d'interconnexion est réalisé au croisement de deux pistes conductrices (métal ou semi-conducteur selon les procédés de fabrication), séparées par un isolant de faible épaisseur. Une surtension appliquée entre les deux pistes provoque un perçage définitif du diélectrique, ce qui établit la connexion.

Les points d'interconnexions ont un diamètre de l'ordre de la largeur d'une piste, c'est à dire de l'ordre du micron ; il est donc possible de prévoir un très grand nombre d'interconnexions programmables. La résistance du contact créé est très faible, de l'ordre d'une cinquantaine d'ohms (dix fois moins que celle d'un transistor MOS), d'où des retards liés aux interconnexions très faibles également.

Les circuits à anti-fusibles partagent, avec ceux à SRAM, le sommet de la gamme des circuits programmables en vitesse et en densité d'intégration. Il est clair que ces circuits ne sont programmables qu'une fois.

Un anti-fusible est un élément programmable qui à l'inverse des fusibles n'est passant qu'après programmation. La connexion s'effectue en détruisant un diélectrique.

Avec cette technique, c'est l'opération inverse du fusible qui est réalisée. On ne coupe pas une liaison, mais on l'établit. L'anti-fusible isole deux lignes métalliques placées sur deux niveaux différents grâce à une fine couche d'oxyde de silicium. Si on applique une impulsion élevée ( $\approx 21V$ ) calibrée en temps (moins de 5 ms), la couche d'oxyde est trouée et les deux lignes se retrouvent en contact. La résistance entre les deux lignes passe alors de  $100 M\Omega$  à  $100\Omega$ . L'anti-fusible occupe une faible surface de silicium mais comme pour la technique du fusible, le boîtier n'est programmable qu'une seule fois par l'utilisateur.



Petite taille (grande capacité d'intégration) Base impédance (rapidité).

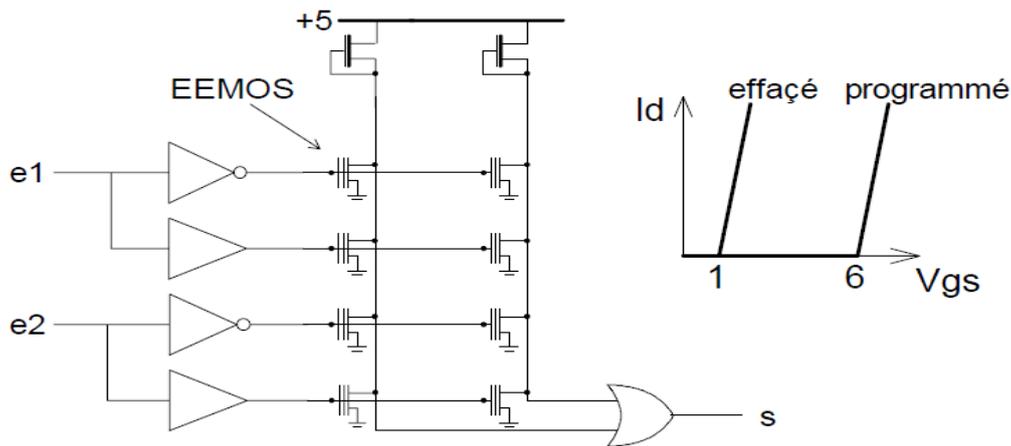
Technologie difficile à maîtriser et ne permettent pas la reprogrammation.

Avant d'aborder l'étude des mémoires EPROM, EEPROM, FLASH, RAM statique qui sont le fondement des circuits programmables, il est nécessaire d'étudier les transistors MOS qui constitue la brique de base des mémoires citées.

#### IV. MOS à grille flottante

Les transistors MOS sont des interrupteurs, commandés par une charge électrique stockée sur leur électrode de grille. Si, en fonctionnement normal, cette grille est isolée, elle conserve sa charge éventuelle éternellement<sup>11</sup>. Il reste au fondeur à trouver un moyen de modifier cette charge, pour programmer l'état du transistor. Le dépôt d'une charge électrique sur la grille isolée d'un transistor fait appel à un phénomène connu sous le nom d'effet tunnel : un isolant très mince (une cinquantaine d'angströms,  $1 \text{ \AA} = 10^{-10} \text{ m}$ ) soumis à une différence de potentiel suffisamment grande (une dizaine de volts, supérieure aux 3,3 ou 5 volts des alimentations classiques) est parcouru par un courant de faible valeur, qui permet de déposer une charge électrique sur une électrode normalement isolée. Ce phénomène, réversible, permet de programmer et d'effacer une mémoire.

La figure III-10 montre la structure du PLD élémentaire précédent, dans lequel les fusibles sont remplacés par des transistors à grille isolée (technologie FLASH).



**Figure 5 : Pld simple à MOS**

Les transistors disposent de deux grilles, dont l'une est isolée. Une charge négative (des électrons) déposée sur cette dernière, modifie la tension de seuil du transistor commandé par la grille non isolée. Quand cette tension de seuil dépasse la tension d'alimentation, le transistor est toujours bloqué (interrupteur ouvert). Une variante (plus ancienne) de cette structure consiste à mettre deux transistors en série, l'un à grille isolée, l'autre normal. Le transistor à grille isolée est programmé pour être toujours conducteur ou toujours bloqué ; on retrouve exactement la fonction du fusible, la réversibilité en plus.

Le contrôle des dimensions géométriques des transistors permet actuellement d'obtenir des circuits fiables, programmables sous une dizaine de volts, reprogrammables à volonté (plusieurs centaines de fois), le tout électriquement.

Les puissances mises en jeu lors de la programmation sont suffisamment faibles pour que les surtensions nécessaires puissent être générées par les circuits eux-mêmes. Vu par l'utilisateur, le circuit devient alors programmable *in situ*, c'est à dire sans appareillage accessoire. Dans ces circuits, un automate auxiliaire gère les algorithmes de programmation et le dialogue avec le système de développement, via une liaison série.

## V. Les technologies à EPROM/FLASH (Actel, AMD...)

Une mémoire EPROM est programmable à plusieurs reprises, et effaçable en exposant son réseau de connexions à des rayons ultraviolets

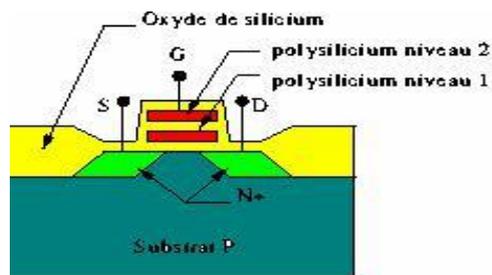
Elle est facile à reconnaître à sa petite fenêtre



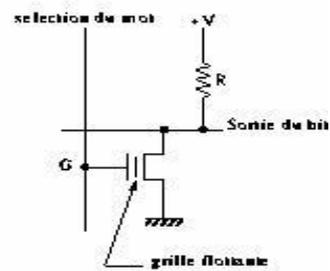
Il existe deux variantes de l'EPROM :

Erasable Programmable Read Only Memory classique (EPROM)

Electrically Erasable Programmable Read Only Memory (EEPROM).



Cellule à grille flottante d'une EPROM  
Petite taille (grande capacité d'intégration)  
Base impédance (rapidité)

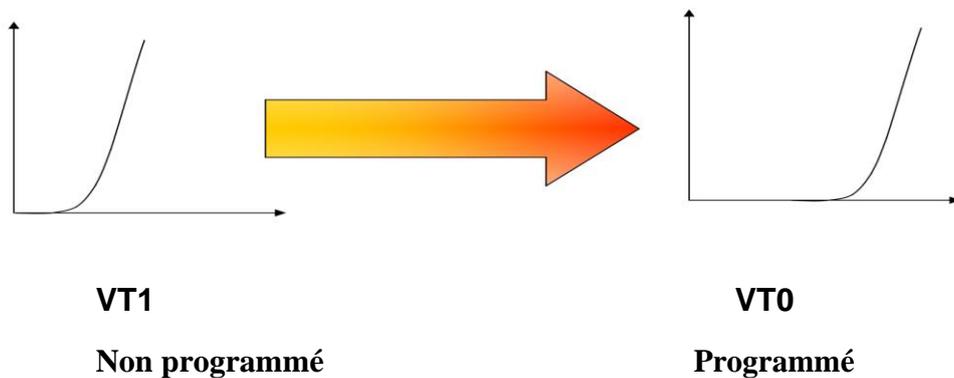
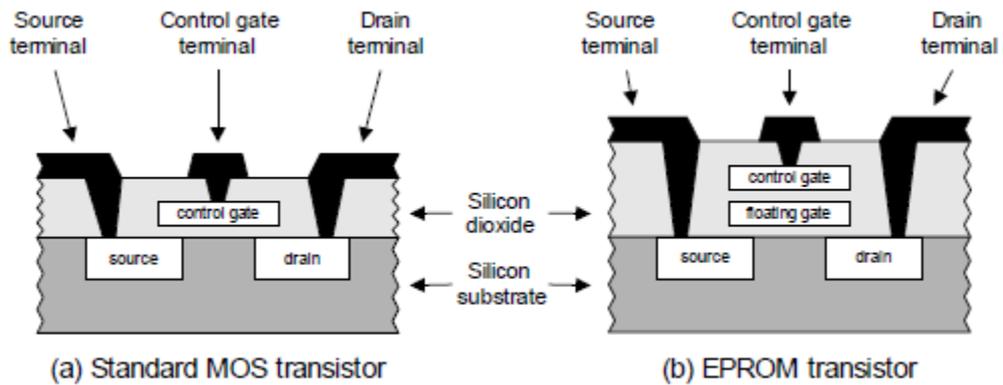


Système d'interconnexion  
Possibilité de programmer à loisir

## VI. Le système à Grille flottante :

- Dans un transistor MOS, la tension appliquée à la grille détermine si un canal est formé entre la source et le drain.
- Un transistor MOS d'une mémoire EPROM inclut une grille flottante supplémentaire.
- On désactive le transistor à grille flottante en plaçant une tension élevée entre sa grille et l'un de ses terminaux. Cette tension induit un courant qui attire des charges sur la grille flottante. Une fois celle-ci chargée, il n'est plus possible de créer un canal sous la grille et les deux terminaux sont effectivement isolés électriquement.

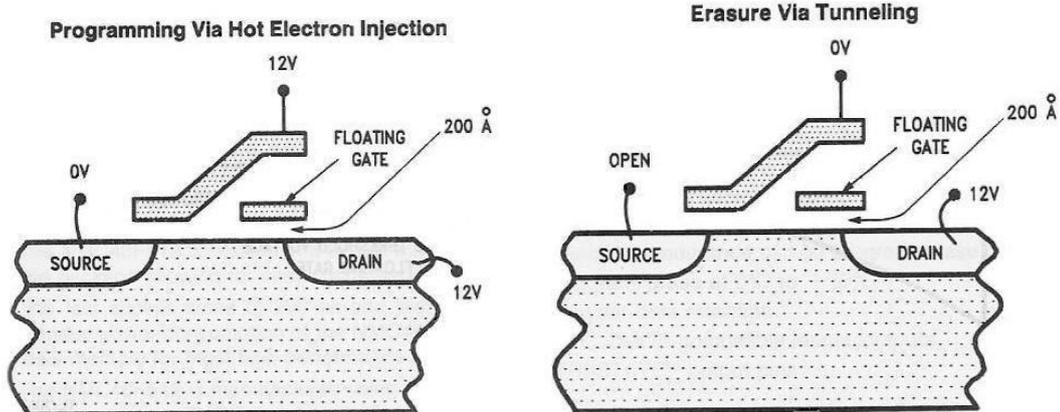
- Pour effacer le dispositif, on l'expose à un rayonnement ultra-violet qui dissipe la charge accumulée sur les grilles flottantes et réactive les transistors.



Etat non programmé : il n'existe pas de charge dans la grille flottante et le transistor peut être utilisé normalement.

En cours de programmation (effet tunnel, passage d'un fort courant entre la source et le drain), une partie de la charge est retenue dans la grille flottante. Le seuil du transistor augmente, Le transistor est bloqué jusqu'à ce qu'il soit "effacé".

- Les mémoires EEPROM et Flash sont similaires aux mémoires EPROM, mais peuvent être effacées électriquement, sans rayons ultraviolets.
- L'isolant autour de la grille flottante est plus mince que dans le cas d'une cellule EPROM, et la grille flottante chevauche partiellement le drain du transistor.

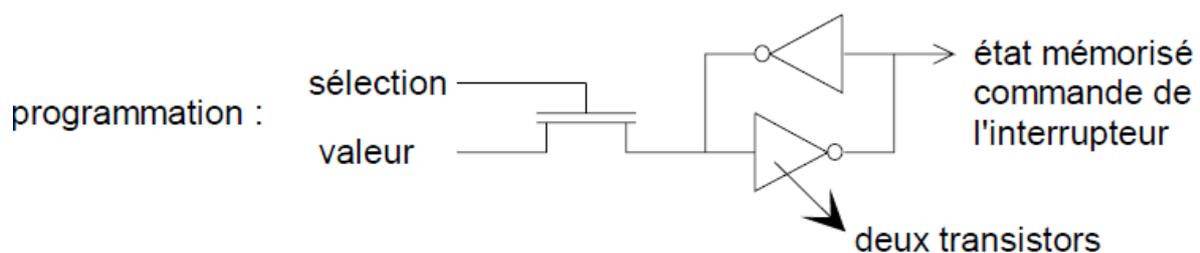


## VII. Les technologies à RAM statique -SRAM (XILINX, ALTERA...) Mémoires statiques

Dans les circuits précédents, la programmation de l'état des interrupteurs, conservée en l'absence de tension d'alimentation, fait appel à un mode de fonctionnement électrique particulier.

Dans les technologies à mémoire statique, l'état de chaque interrupteur est commandé par une cellule mémoire classique à quatre transistors (plus un transistor de programmation), dont le schéma de principe est celui de la figure III-11

Elle fait appel à une phase de chargement de la configuration depuis l'extérieur (mémoire flash de carte de développement par exemple)



**Figure 11 : Cellule SRAM**

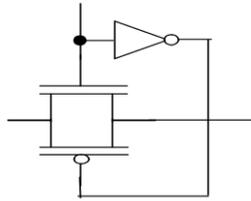
La modification de la configuration d'un circuit devient alors une opération logique quasi ordinaire, qui ne nécessite pas d'opération électrique spéciale. Ces circuits permettent des reconfigurations, partielles ou totales, en nombre illimité. Il est même envisageable de créer des fonctions dont certains paramètres sont modifiables en cours de fonctionnement, des filtres adaptatifs par exemple.

Le prix à payer pour cette souplesse est que les cellules SRAM doivent être rechargées à chaque mise sous tension et que chaque interrupteur occupe plusieurs transistors : l'interrupteur lui-même et les transistors de la cellule mémoire.

**Commande**

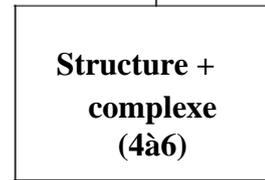


**Transistor de passage**



**Portes de passage**

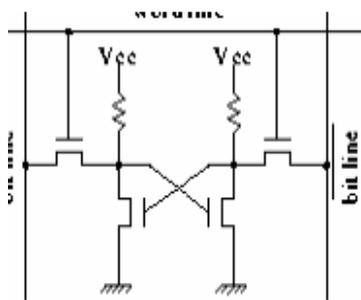
**Commande**



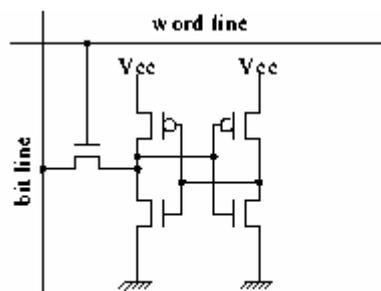
**Portes de passage**

Grande possibilité de programmation. Technologie de type CMOS (très bien maîtrisée)  
Place importante Mémoire volatile (reprogrammation obligatoire).

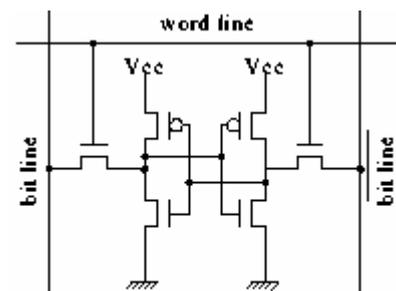
### VIII. Exemples de structure SRAM implantées



(l) SRAM à 4 transistors



(m) SRAM à 5 transistors



(n) SRAM à 6 transistors

Nom	Re-programmabilité	vitesse de reprogrammation	Volatile	Surface	technologie
fusible	non	-	non	+++	bipolair
anti-fusible	non	-	non	+++	CMOS
PROM	non	-	non	+++	CMOS
EPROM	oui (hors du circuit)	+	non	+++	UVCMOS
EEPROM	oui (dans le systeme)	++	non	++	EECMOS
SRAM	oui (dans le systeme)	+++	oui	+	CMOS

#### La technologie EEPROM

Les PLD à EPROM se programment électriquement et s'effacent aux UV, Par contre

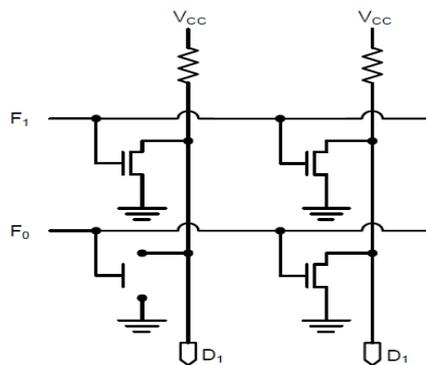
Les PLD à EEPROM se programment quasi instantanément, et gardent la configuration jusqu'à une nouvelle programmation (même en l'absence de tension)

Facile et rapide à programmer, la configuration disparaît sans alimentation.

## Connexions programmables pour mémoires EPROM (et EEPROM)

Les connexions programmables des mémoires EPROM et EEPROM utilisent des transistors au lieu de diodes et de fusibles.

- Les lignes verticales sont reliées à l'alimentation par une résistance de rappel vers le niveau haut.
- Les transistors de connexion permettent d'amener la ligne verticale à zéro si la ligne horizontale correspondante est à 1.
- Les transistors peuvent être désactivés en les programmant.
- Quatre cas à considérer:
  - Cas 0:  $F_1 = 0, F_0 = 0$
  - Cas 1:  $F_1 = 0, F_0 = 1$
  - Cas 2:  $F_1 = 1, F_0 = 0$
  - Cas 3:  $F_1 = 1, F_0 = 1$



## Technologies utilisées par les différents fabricants

Fabricant	FPGA	CPLD	PLD
<b>Altera</b>	<i>SRAM</i> APEX 20K FLEX6000 ; FLEX8000 EP2C35F672	<i>EEPROM</i> MAX 9000 ; MAX 7000 ; <i>FLASH</i> ; FLASHlogic	<i>EPROM Classic</i>
<b>Xilinx</b>	<i>SRAM</i> Virtex Spartan XC4000E/XL/XV ;XC5200	<i>FLASH</i> CoolRunner XPLA3; XPLA2 XC9500/XL/XV	
<b>Lattice Vantis</b>	<i>SRAM</i> VF1	<i>EEPROM</i> pLSI 8000 ; pLSI 5000 ; MACH 5/5A ; MACH 4/4A	<i>EEPROM</i> GAL PAL
<b>Actel</b>	<i>FLASH</i> ProASIC 500K <i>Anti-fuse</i> SX Series ; MX Series ACT3/ 3PCI ; ACT 2/1		
<b>Lucent</b>	<i>SRAM</i> ORCA 3+/ 3 ; ORCA 2C/ 2T ATT 3000		
<b>Cypress</b>		<i>EEPROM</i> Ultra 37000 Delta39K Flash 370/370i	<i>EPROM</i> PAL PLD
<b>Atmel</b>	<i>SRAM</i> AT40K ; AT6000 FPSLIC		
<b>Quicklogic</b>	<i>ANTI-FUSE</i> QuickRAM ; QuickPCI pASIC3 ; pASIC2 ;		
<b>TI</b>			<i>FUSE</i> PAL
<b>ICT</b>			<i>EEPROM</i> PEEL
<b>WSI</b>		<i>EEPROM</i> PSD	
<b>Triscend</b>	<i>SRAM</i> E5 Configurable System-on-Chip		
<b>Gatefield</b>	<i>EEPROM</i> GF260F ; GF250F		

Source « The programmable Logic Jump Station Mars 99 »  
[www.optimagic.com/summary.html](http://www.optimagic.com/summary.html)