

TP 4 : Caractérisation des portes logiques CMOS

1.Objectif

L'objectif de ce TP est :

- 1- D'aboutir à travers l'étude des comportements des transistors MOS et des inverseurs CMOS, une initiation au langage de simulation analogique SPICE.
- 2- Ce familiariser avec le kit design du logiciel Orcad PSPICE.
- 3- Une présentation succincte des principaux éléments du langage PSPICE.
- 4- Caractérisation des portes logiques à base de Transistors MOS canal N et canal P.
- 5- Etude de l'effet de forme sur les caractéristiques du Transistor MOSFET.

2.Introduction

Les transistors MOS sont utilisés pour fabriquer la grande majorité des circuits numériques. La technologie de fabrication CMOS associe des transistors MOS de types complémentaires, canal n et canal p, pour réaliser des cellules logiques élémentaires, comme les portes NO, AND, OR, NAND, et les bascules etc.

Le but de ce TP est de faire connaître à l'étudiant les étapes de la conception, utilisée dans le dimensionnement et la simulation d'un circuit intégré, nous intéressons dans ce TP par caractérisation des portes logiques CMOS inconnues, en utilisant le principe de conception de l'inverseur CMOS ce qui permet la conception de nouveaux portes.

3. Principe de base et structure de L'inverseur CMOS

Un inverseur CMOS contient:

Un inverseur CMOS contient:

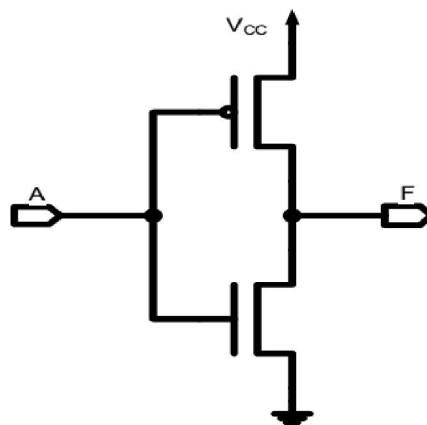
- un transistor pMOS relié à l'alimentation; et
- un transistor nMOS relié à la masse.

Le signal d'entrée est appliqué à la grille des transistors.

Le signal de sortie est relié aux drains des transistors.

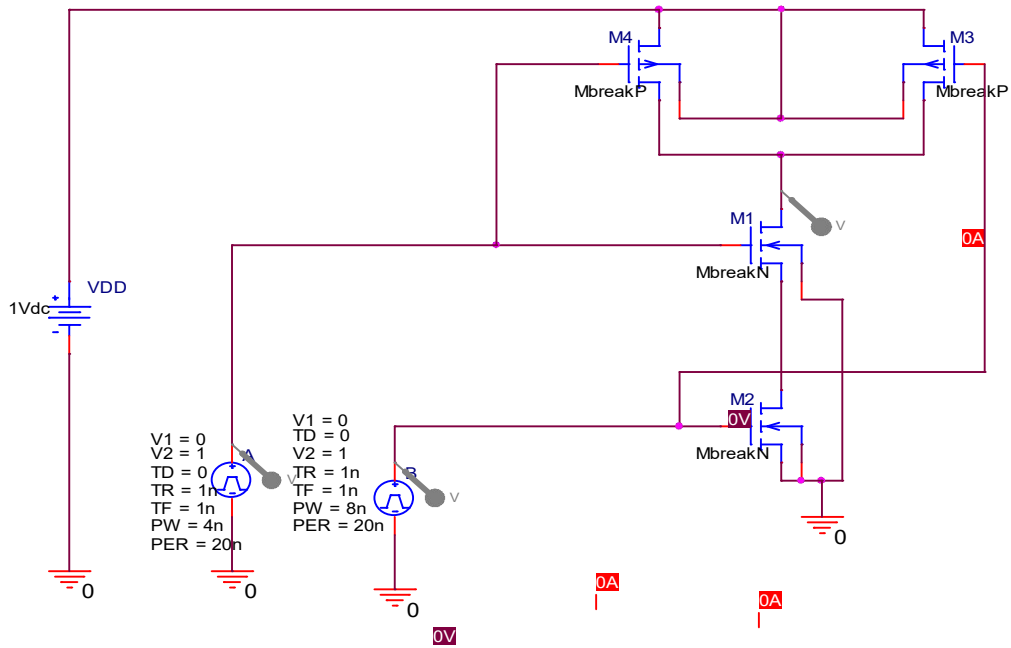
Quand $A = '1'$, le transistor nMOS conduit et la sortie F est reliée à la masse pour un '0'.

Quand $A = '0'$, le transistor pMOS conduit et la sortie F est reliée à l'alimentation pour un '1'.



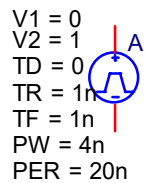
4. Simulation

Dans la partie simulation, réalisez le schéma suivant:



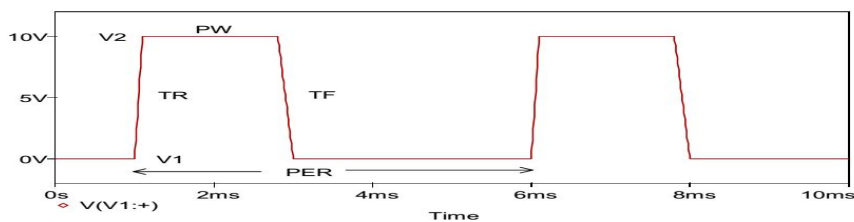
Configuré les sources VPULSE en changeant leurs paramètres comme suit :

VPULSE : source de tension rectangulaire périodique



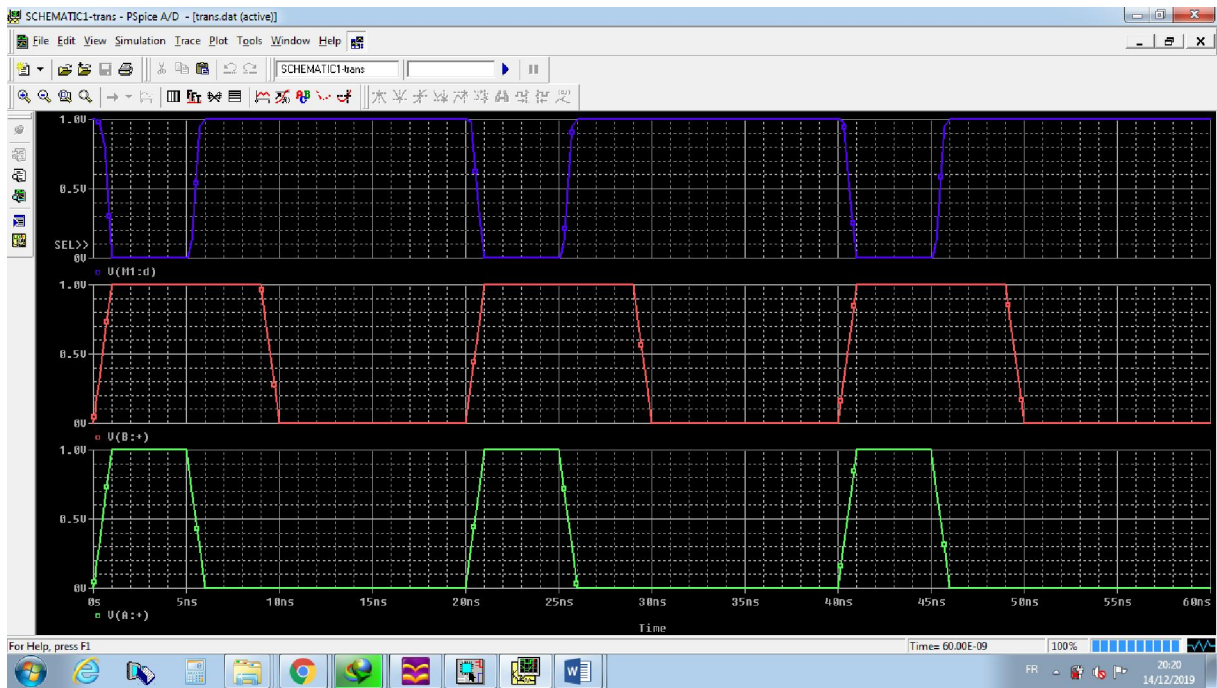
Tel que :

Paramétrage : V1 = tension de repos, V2 = tension impulsionnelle TD = temps de retard à l'apparition du signal, TR = temps de montée TF = temps de descente, PW = largeur d'impulsion, PER = période



h-Simulation

Dans le cas où les erreurs de conception n'existent pas nous aurons des courbes similaires à celle de figure ci-dessous



5-Question

A - Tracer les tensions d'entrées et de sortie en fonction du tu temps.

B – Remplir une table comme celle en dessous

Entrés		Sortie
VA	VB	VS
L	L	
L	H	
H	L	
H	H	

C- A partir du tableau déduire la fonction logique réalisée

D- En utilisant le même principe concevoir un ET, OU, la fonction $S=AB+C$.

E- Compare entre une porte NonET et une porte ET en terme de nombre de transistor que peut-on conclure.