

Chapitre I. L'inverseur CMOS

I.1. Analyse DC des circuits MOSFETs

Dans la dernière section, nous avons examiné les caractéristiques et propriétés de base du MOSFET. Nous commençons maintenant à analyser et à concevoir la polarisation en courant continu des circuits à transistors MOS. Un objectif principal du reste du chapitre est de continuer à se familiariser et à se familiariser avec le transistor MOS et les circuits MOSFET. La polarisation en courant continu des MOSFET, au centre de ce chapitre, est une partie importante de la conception des amplificateurs. La conception de l'amplificateur MOSFET est au centre du chapitre suivant.

Dans la plupart des circuits présentés dans ce chapitre, des résistances sont utilisées en conjonction avec les transistors MOS. Dans un vrai circuit intégré MOSFET, cependant, les résistances sont généralement remplacées par d'autres MOSFET, de sorte que le circuit est entièrement composé de dispositifs MOS. En général, un dispositif MOSFET nécessite une zone plus petite qu'une résistance. En parcourant le chapitre, nous commencerons à voir comment cela est accompli et à la fin du texte, nous analyserons et concevrons en effet des circuits contenant uniquement des MOSFET. Dans l'analyse en courant continu des circuits MOSFET, nous pouvons utiliser les équations courant-tension idéales répertoriées dans le tableau 3.1 de la section 3.1.

1.1 Circuits source commune

L'une des configurations de base du circuit MOSFET est appelée circuit à source commune. La figure 3.24 montre un exemple de ce type de circuit utilisant un MOSFET canal n en mode enrichissement.

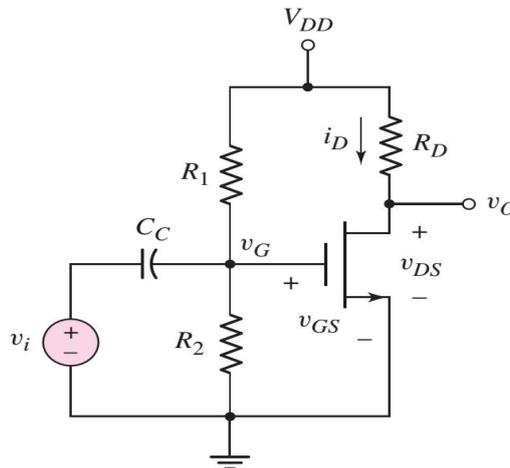


Figure 3.24 Un circuit source commun à NMOS

La borne de source est au potentiel de masse et est commune aux parties d'entrée et de sortie du circuit. Le condensateur de couplage C_C agit comme un circuit ouvert en courant continu mais il permet à la tension de signal d'être couplée à la grille du MOSFET.

Le circuit équivalent en courant continu est illustré à la figure 3.25 (a). Dans les analyses C_C suivantes, nous utilisons à nouveau la notation pour les courants et tensions C_C . Puisque le courant de grille dans le transistor est nul, la tension à la grille est donnée par un diviseur de tension, qui peut être écrit comme

$$V_G = V_{GS} = \left(\frac{R_2}{R_1 + R_2} \right) V_{DD} \quad ()$$

En supposant que la tension grille-source donnée par l'équation (3.12) est supérieure à V_{TN} , et que le transistor est polarisé dans la région de saturation, le courant de drain est

$$I_D = K_n (V_{GS} - V_{TN})^2 \quad ()$$

La tension drain-source est

$$V_{DS} = V_{DD} - I_D R_D \quad ()$$

Si $V_{DS} > V_{DS(sat)} = V_{GS} - V_{TN}$, alors le transistor est polarisé dans la région de saturation, comme nous l'avons initialement supposé, et notre analyse est correcte. Si $V_{DS} < V_{DS(sat)}$, alors le transistor est polarisé dans la région de non-saturation, et le courant de drain est donné par l'équation caractéristique plus compliquée (3.2 (a)). La puissance dissipée dans le transistor, puisqu'il n'y a pas de courant de grille, est simplement donnée par

$$P_T = I_D V_{DS} \quad ()$$

Droite de charge et modes de fonctionnement

La droite de charge est utile pour visualiser la région dans laquelle le MOSFET est biaisé. Considérons à nouveau le circuit de source commune illustré à la figure 3.25 (b). L'écriture d'une équation de la loi de tension de Kirchhoff autour de la boucle drain-source aboutit à l'équation (3.14), qui est l'équation de la ligne de charge, montrant une relation linéaire entre le courant de drain et la tension drain-source.

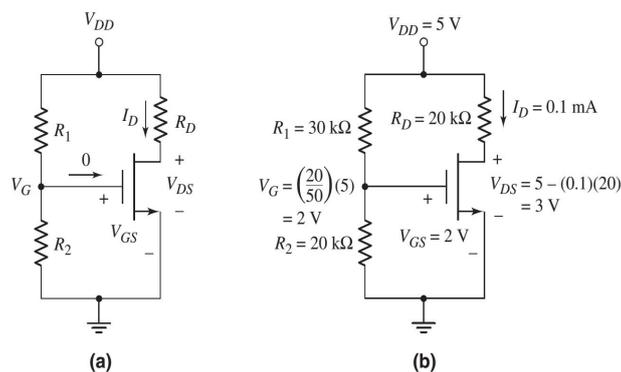
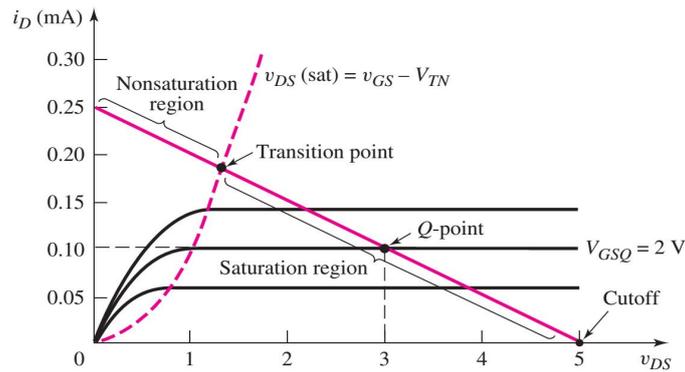


Figure 3.25 (a) Le circuit équivalent en courant continu du circuit de source commune NMOS et (b) le circuit NMOS pour l'exemple 3.3, montrant les valeurs de courant et de tension



La figure 3.31 montre la caractéristique $v_{DS(sat)}$ du transistor décrit dans l'exemple 3.3. La ligne de charge est donnée par

$$V_{DS} = V_{DD} - R_D I_D = 5 - 20I_D$$

$$I_D = \frac{5}{20} - \frac{V_{DS}}{20} \text{ mA (la droite de charge statique)}$$

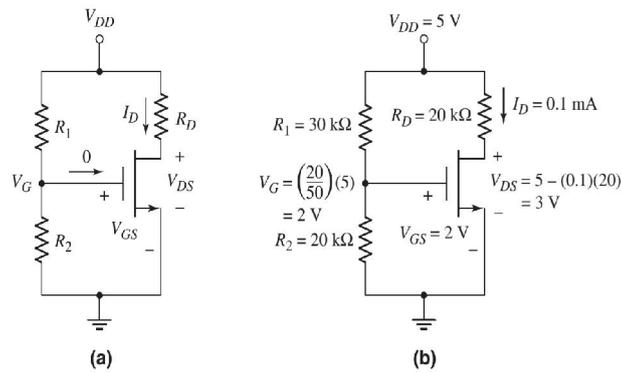
et est également représenté sur la figure. Les deux points d'extrémité de la ligne de charge sont déterminés de la manière habituelle. Si $I_D = 0$, alors $V_{DS} = 5V$; si $V_{DS} = 0$, alors $I_D = 5/20 = 0,25 \text{ mA}$. Le point Q du transistor est donné par le courant de drain continu et la tension drain-source, et il est toujours sur la ligne de charge, comme indiqué sur la figure. Quelques caractéristiques de transistor sont également représentées sur la figure. Si la tension grille-source est inférieure à V_{TN} , le courant de drain est nul et le transistor est en coupure. Lorsque la tension grille-source devient juste supérieure à V_{TN} , le transistor devient passant et est polarisé dans la région de saturation. À mesure que V_{GS} augmente, le point Q remonte la droite de charge. Le point de transition est la limite entre les régions de saturation et de non-saturation et est défini comme le point où $V_{DS} = V_{DS(sat)} = V_{GS} - V_{TN}$. Lorsque V_{GS} augmente au-dessus de la valeur du point de transition, le transistor devient polarisé dans la région de non-saturation.

Exercice

Déterminer les paramètres de point de transition pour un circuit à NMOS source commune.

Considérez le circuit illustré à la figure 3.25 (b). Supposons que les paramètres de transistor

$$V_{TN} = 1V \text{ et } K_n = 0,1 \text{ mA} / V^2$$



Solution

Dans le point de transition on a

$$V_{DS} = V_{DS}(\text{sat}) = V_{GS} - V_{TN} = V_{DD} - I_D R_D$$

Le courant du drain est

$$I_D = K_n (V_{GS} - V_{TN})^2$$

Par combinaisons des deux équations on aura

$$V_{GS} - V_{TN} = V_{DD} - K_n R_D (V_{GS} - V_{TN})^2$$

Par arrangement on aura

$$K_n R_D (V_{GS} - V_{TN})^2 + (V_{GS} - V_{TN}) - V_{DD} = 0$$

En remplaçant les données par leurs valeurs on aura

$$(0.1)(20)(V_{GS} - V_{TN})^2 + (V_{GS} - V_{TN}) - 5 = 0$$

Donc

$$V_{GS} - V_{TN} = 1.35 \text{ V} = V_{DS}$$

Ce qui donne

$$V_{GS} = 2.35 \text{ V}$$

Et

$$I_D = (0.1)(2.35 - 1)^2 = 0.182 \text{ mA}$$

Commentaire :

Pour $V_{GS} > 2.35 \text{ V}$, le transistor is polarisé dans région de saturation; pour $V_{GS} < 2.35 \text{ V}$, le transistor est polarisé dans la région de non saturation.

Charge d'un NMOS à enrichissement canal n

Un MOSFET à mode d'amélioration connecté dans une configuration telle que celle représentée sur la figure 3.34 peut être utilisé comme résistance non linéaire.

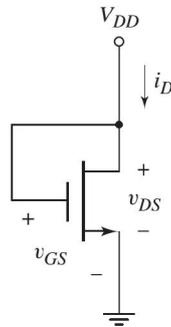
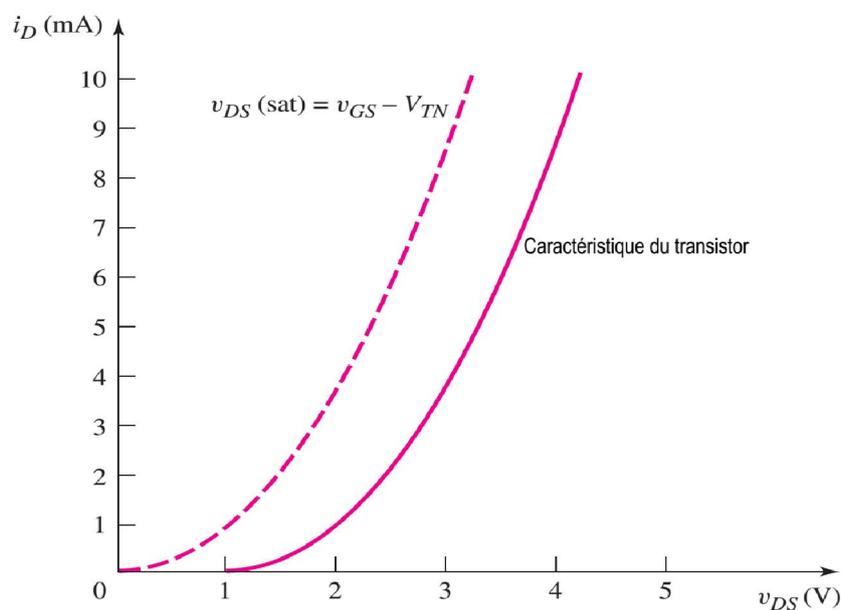


Figure 3.34 NMOS à enrichissement avec grille connectée au drain

Un transistor avec cette connexion est appelé un dispositif de charge d'amélioration. Puisque le transistor est un dispositif de mode d'amélioration, $V_{TN} > 0$. En outre, pour ce circuit, $v_{DS} = v_{GS} > v_{DS(sat)} = v_{GS} - V_{TN}$, ce qui signifie que le transistor est toujours polarisé dans la région de saturation. Les caractéristiques générales i_D versus v_{DS} peuvent être alors écrites comme

$$i_D = K_n (V_{GS} - V_{TN})^2 = I_D = K_n (V_{DS} - V_{TN})^2 \quad ()$$

La figure 3.35 montre un tracé de l'équation (3.21) pour le cas où $K_n = 1 \text{ mA} / \text{V}^2$ et $V_{TN} = 1 \text{ V}$



La figure 3.35 montre un tracé de l'équation () pour le cas où $K_n = 1 \text{ mA} / \text{V}^2$ et $V_{TN} = 1 \text{ V}$

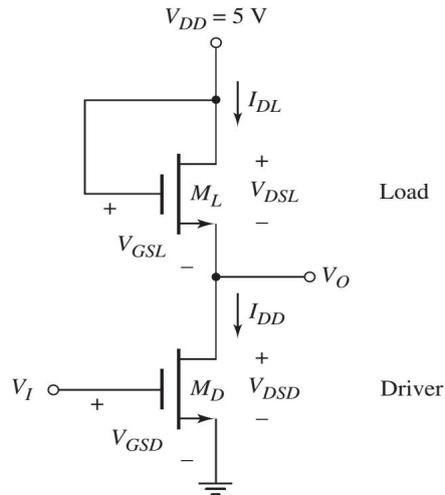


Figure 3.36 Circuit avec NMOS à enrichissement canal n charge et un NMOS pilote.

Si un dispositif de charge d'amélioration est connecté dans un circuit avec un autre MOSFET dans la configuration représentée sur la figure 3.36, le circuit peut être utilisé comme amplificateur ou comme inverseur dans un circuit logique numérique. Le dispositif de charge, M_L , est toujours polarisé dans la région de saturation, et le transistor M_D , appelé transistor d'attaque, peut être polarisé dans la région de saturation ou de non-saturation, en fonction de la valeur de la tension d'entrée. L'exemple suivant concerne l'analyse en courant continu de ce circuit pour les tensions d'entrée en courant continu à la grille de M_D .

Exercice

Déterminez les courants et les tensions de transistor à courant continu dans un circuit contenant un dispositif de charge d'amélioration.

Les transistors du circuit illustré à la figure 3.36 ont les paramètres $V_{TND} = V_{TNL} = 1V$, $K_{nD} = 50\mu A/V^2$ transistor pilote et l'indice L s'applique au transistor de charge.) Déterminez V_O pour $V_I = 5V$ et $V_I = 1,5V$.

Solution: