

# Chapitre 1. Les Réseaux Logiques Programmables : PLD

## I- Introduction

Durant les années 60, les circuits intégrés numériques ont fait leur apparition. A cette époque les fonctions logiques telles que les portes, les registres, les compteurs et les unités arithmétiques et logiques (ALU), étaient fabriqués en logiques TTL (Transistor Transistor Logique). Malgré les améliorations qui ont eu lieu en termes de hautes densité d'intégration, cependant la réalisation d'un montage en électronique numérique impliquait l'utilisation d'un nombre important de circuits intégrés numériques. Ceci avait pour conséquences un prix de revient élevé, une mise en œuvre complexe et un circuit imprimé de taille importante. A la fin des années 70 les mémoires PROM (*Programmable Read Only Memory*) ont été mises au point par la firme *Texas Instruments*. Le développement de ces mémoires fut à l'origine des premiers circuits logiques programmables (PLD : Programmable Logic Device). Ces derniers ont permis aux utilisateurs de réaliser par eux même n'importe quel circuit logique combinatoire et/ou séquentiel de complexité croissante grâce à leur développement rapide. Les circuits logiques programmables sont alors utilisés pour remplacer l'association de plusieurs boîtiers logiques. Le câblage est simplifié, l'encombrement et le risque de pannes est par conséquent réduit.

### 1. Présentation des circuits logiques programmables

On distingue trois principaux types de circuits programmables :

1. Les circuits combinatoires ou séquentielles programmables par fusible (Réseaux Logiques Programmables).
2. Les réseaux de cellules pré diffusées (Gate Array).
3. Les circuits à la demande (Cell Array et Full Custum)

Les circuits logiques programmables se présente sous forme de boîtiers comme les circuits intégrés logiques classiques et disposent d'un certain nombre de broches d'entrées et de sorties. L'utilisateur associe ces broches aux équations logiques (plus ou moins complexes) qu'il programme dans le circuit. Sa mise en œuvre se fait très facilement à l'aide d'un programmeur, d'un micro-ordinateur et d'un logiciel adapté.

## II- Structure des réseaux logiques combinatoires

Etant donné que toute fonction logique à  $n$  variables peut être exprimée comme une somme de produits logiques (mintermes). Tout naturellement les composants programmables disposent d'une structure comportant ces deux ensembles fonctionnels :

- Un ensemble d'opérateurs ET (matrice ET) recevant les entrées et leurs compléments.
- Un ensemble d'opérateurs OU (matrice OU) qui réalise une somme de produits et fournit les sorties.
- Une éventuelle structure de sortie (Portes inverseuses, logique 3 états, registres...).

Les deux premiers ensembles forment chacun ce qu'on appelle une matrice. Les interconnexions de ces matrices doivent être programmables. C'est la raison pour laquelle elles sont assurées par des fusibles qui sont « grillés » lors de la programmation. Lorsqu'un PLD est vierge toutes les connexions sont assurées.

Une matrice programmable est donc un ensemble de portes logiques dont les entrées sont connectées aux variables du système, vrais et inversées, au moyen d'un réseau de fusibles. Lorsqu'un fusible est brûlé, la connexion respective entre la variable et la porte logique disparaît. La programmation du système se fait en choisissant les fusibles que l'on laisse ou que l'on brûle.

Selon la complexité des circuits programmables utilisés, une ou l'autre ou les deux matrices pourra être programmée. Lorsqu'elles sont programmables les matrices utilisent des "fusibles" placés en série entre les entrées et les opérateurs logiques. Dans les structures reprogrammables ces "fusibles" sont remplacés par des transistors MOS.

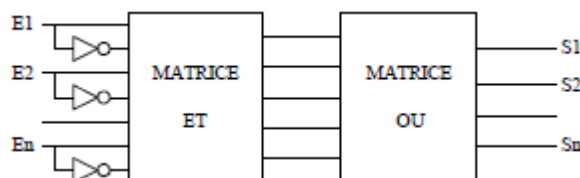


Figure 1

### 1/ Réalisation de la matrice ET

On utilise le principe de portes ET à diodes. La programmation s'effectue grâce à des fusibles placés en série avec des diodes.

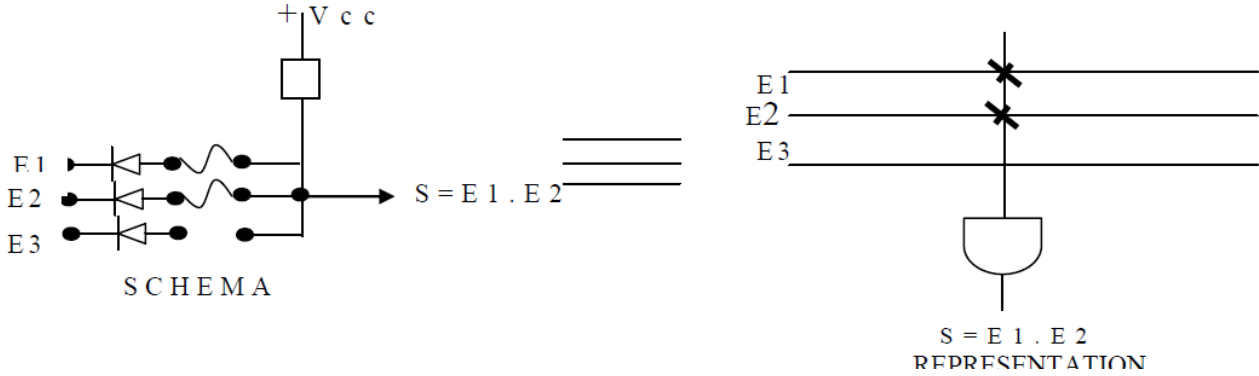


Figure 2

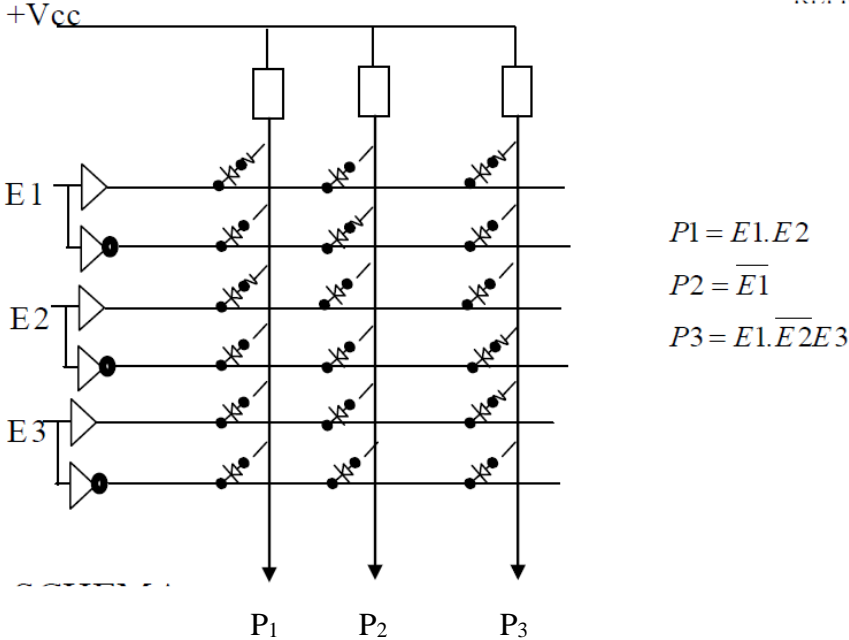


Figure 3

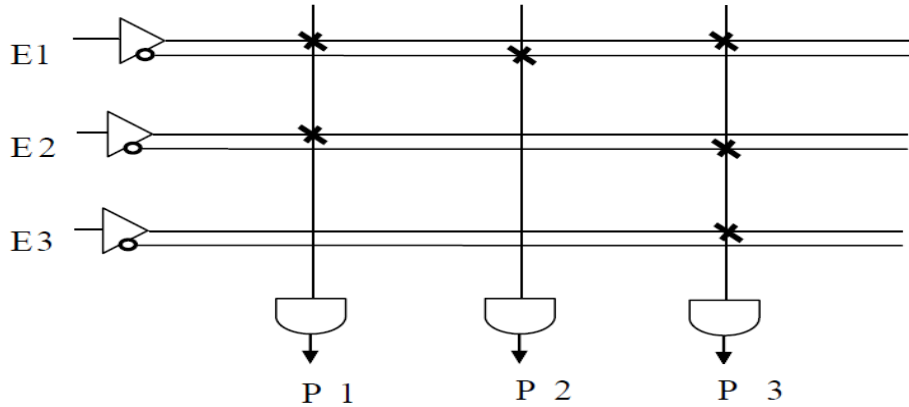


Figure 4 : Représentation Normalisée

## 2/ Réalisation de la matrice OU

On utilise le principe d'une porte OU à diode. La programmation se fait de la même manière que pour le ET

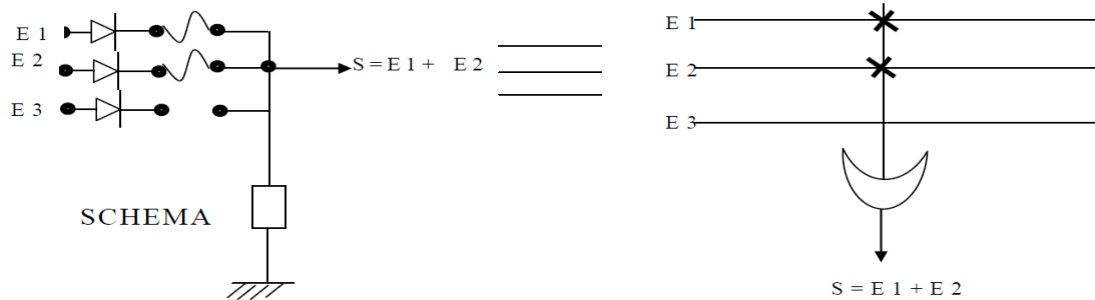


Figure 5

## 3/ Les circuits de sortie

On adjoint un circuit de sortie à la matrice OU. Il peut s'agir d'un circuit d'inversion. dans ce cas , on utilise l'opérateur OU exclusif dont une entrée est utilisée comme commande d'inversion.

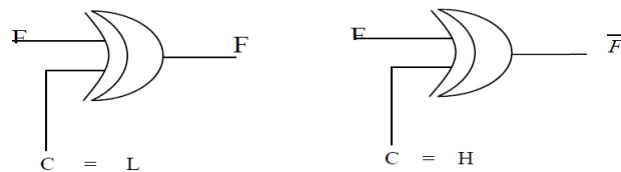
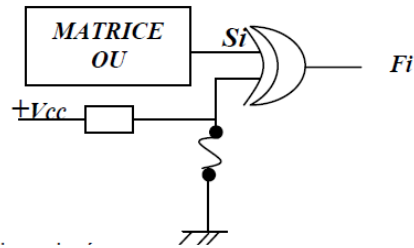


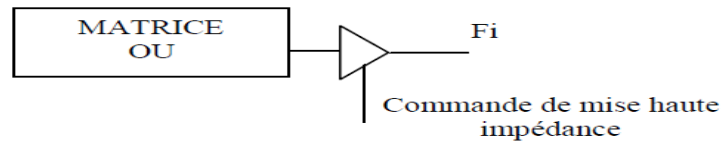
Figure 6

On aura donc :



**Figure 7**

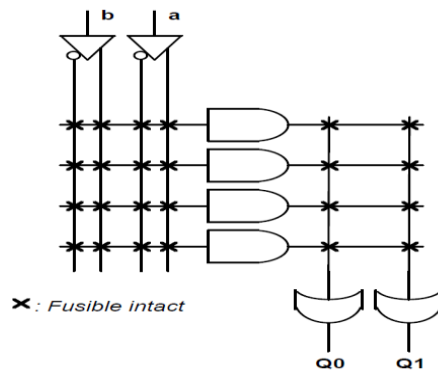
Le circuit de sortie peut aussi être un circuit trois états :



**Figure 8**

**Exemple :**

Soit le circuit PAL combinatoire programmable suivant :



**Figure 9 : Structure de base avec les normes des constructeurs (Normalisée)**

La figure 3 représente la structure interne d'un PLD ayant ses fusibles intacts. Les équations logiques de Q0 et Q1 sont :  $Q0 = Q1 = a.b.a.b + a.b.a.b + a.b.a.b + a.b.a.b = 0$

Si on veut obtenir les fonctions  $Q0 = a\bar{b} + \bar{a}b$  et  $Q1 = \bar{a}\bar{b} + ab$ , on « grillera » des fusibles de façon à obtenir le schéma suivant :

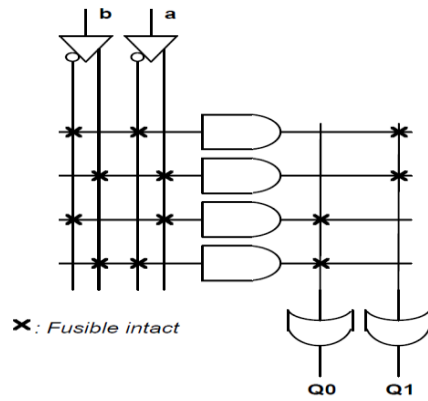


Figure 10 : *PLD programmé*

### III- Classification des réseaux logiques combinatoires

Il existe plusieurs familles de PLD qui sont différenciées par leur structure interne. Nous allons présenter certaines de ces familles :

#### 1) Les PROM (Programmable Read Only Memory)

Ces circuits disposent :

- D'une matrice ET fixée et complète. Donc le nombre de termes produits est égal à  $2^n$  pour  $n$  entrées. La matrice ET a la structure d'un décodeur binaire à  $n$  bits.
- D'une matrice OU programmable.
- D'un circuit de sortie trois états à commande unique.

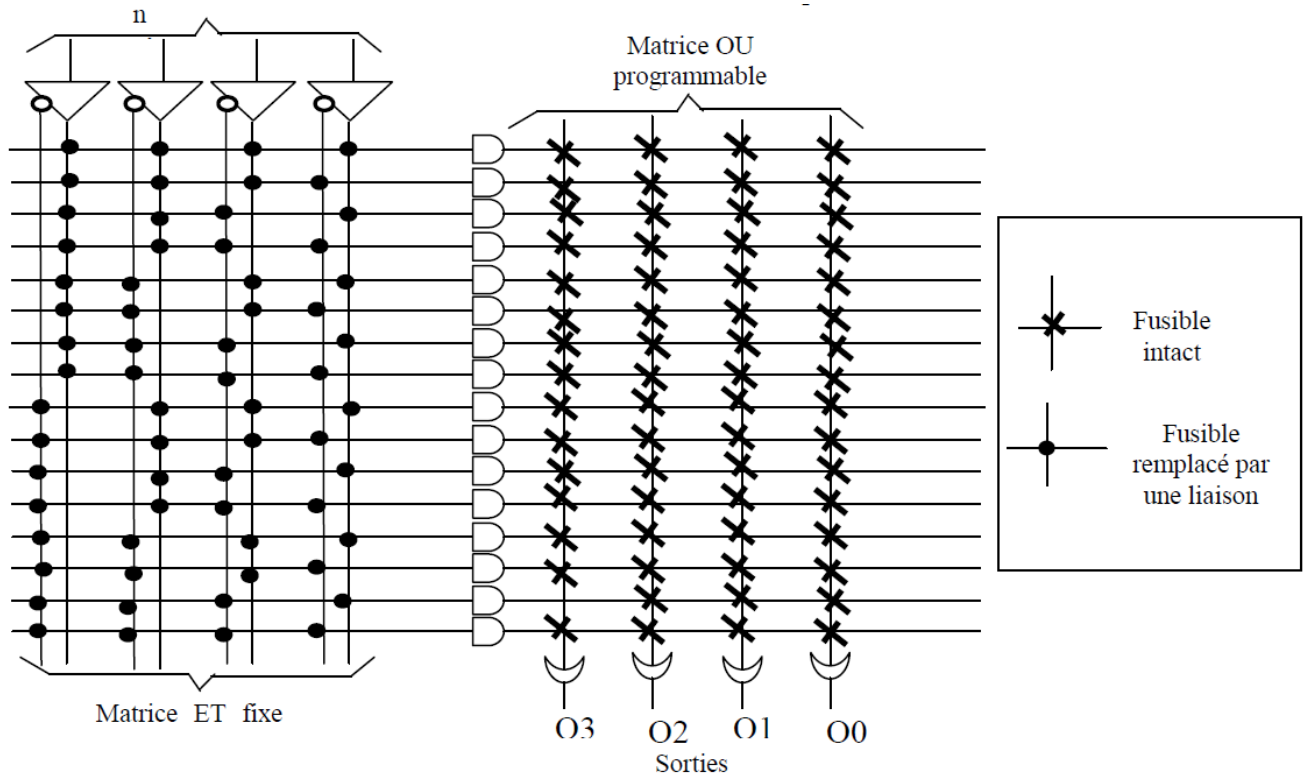


Figure 11

La forme générale d'une PROM est donc :

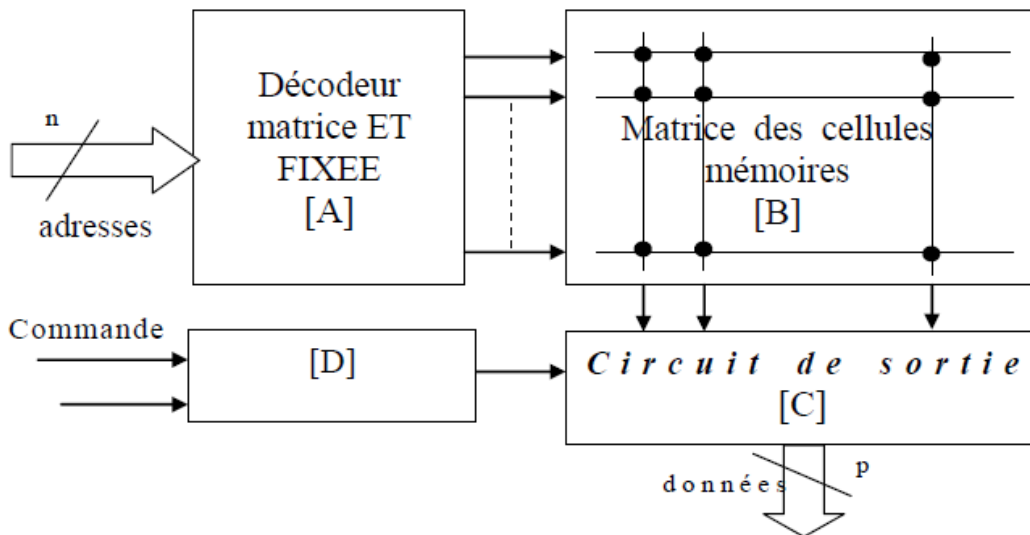


Figure 12

Les  $n$  fils d'adresse permettent de choisir une des  $2^n$  lignes continues dans la matrice [B]. La sélection est réalisée par un décodeur [A] sous le contrôle d'un circuit logique [D]. Lorsqu'une adresse « a » est placée à l'entrée, la ligne « a » est sélectionnée. Les « p » informations de cette

ligne sont transmises au circuit de sortie [C]

## 2) Les PAL (Programmable Array Logic)

La structure de base d'un PAL est l'opposée de celle d'une PROM. Il dispose d'une matrice ET programmable et d'une matrice OU figée.

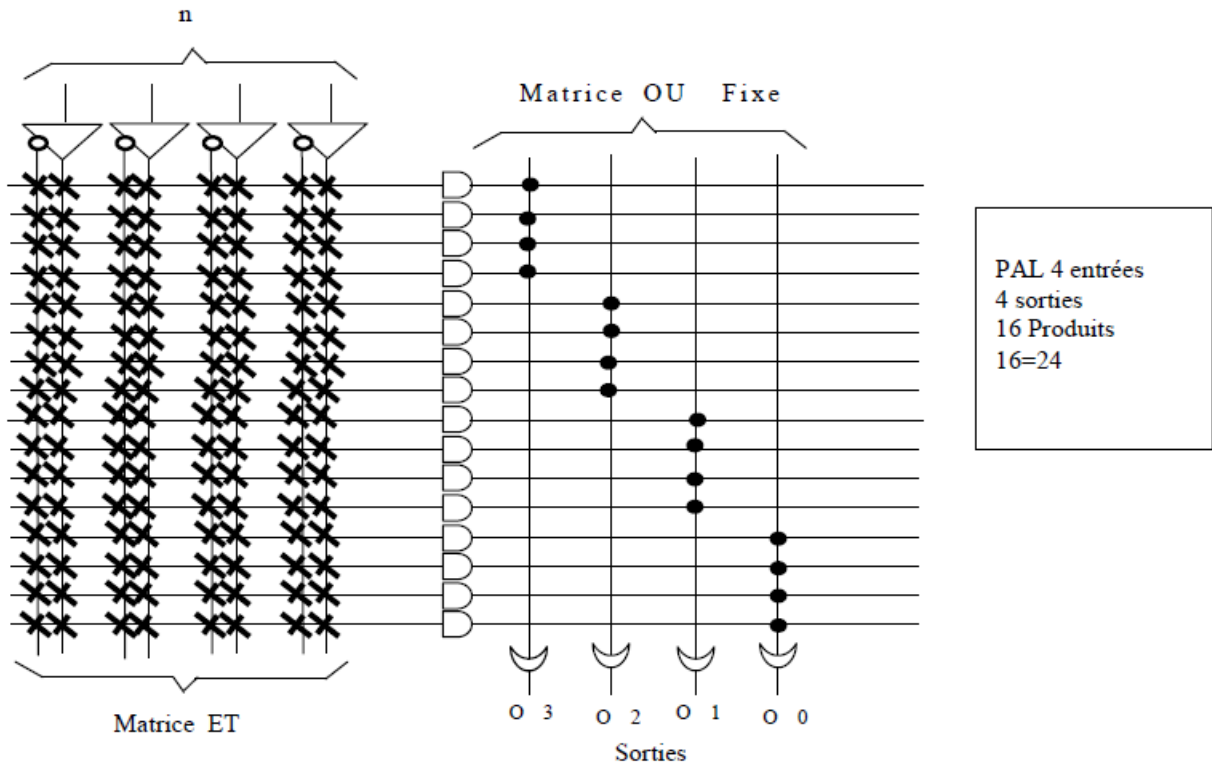
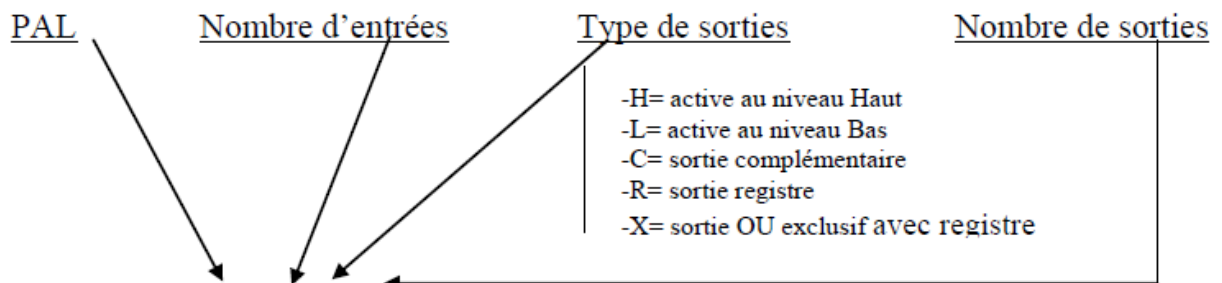


Figure 13

Les diverses possibilités de ces circuits et leur standardisation ont conduit les constructeurs à définir une nomenclature permettant de décoder assez facilement la référence des PALs.



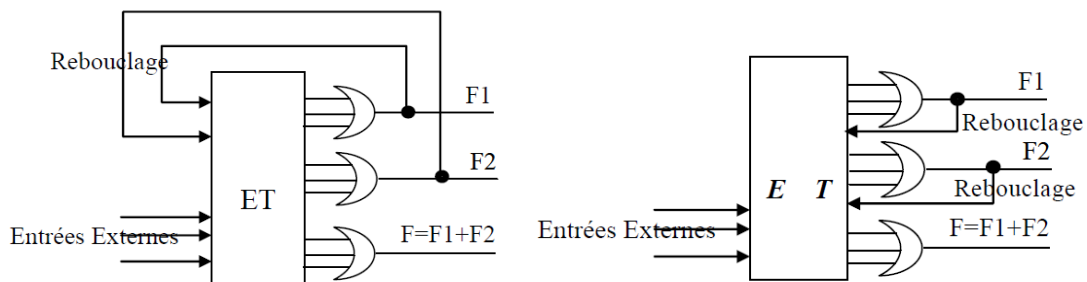
Exemple : **PAL 12 H 6**



Le PAL 12H6 comprend 12 entrées, 6 sorties dont 4 possèdent deux termes produits et deux possèdent quatre termes produits.

La formule complète de ce PAL s'écrit  $12H6 (4 \times 2 + 2 \times 4)$ .

- Les circuits à polarité complémentaires : Ces circuits donnent une sortie directe et complémentaire. Il en existe deux : PAL 16C1 et 20C1.
- Les circuits à polarité inverse : Le circuit de sortie est un NOR qui donne une polarité inverse noté L. Ces circuits sont : PAL 10L8, 12L6, 14L4, 16L2, 12L10, 14L8, 16L6, 18L4 et 20L2.
- Les circuits avec rétroaction : Lorsqu'une fonction est trop complexe pour le nombre de termes produits associés à une sortie, on calcule séparément des groupes de produits que l'on réunit ensuite.



Fonction complexe avec rebouclage **externe**    Fonction complexe avec rebouclage **interne**

**Figure 14**

### EXEMPLES DE PAL.

Nous allons étudier les PAL qui sont couramment utilisés.

#### a) **PAL 16L8 :**

##### **PAL 16 L 8 H 15 PC**

- Type de boîtier : DIL plastique civile
- Vitesse : 15 nS
- Consommation : ½ puissance
- Nombre de sorties : 8
- Structure de sortie : Combinatoire active Bas
- Nombre d'entrées : 16

Ce type de circuit est uniquement constitué de logique combinatoire. Il possède 20 broches (figure 8) agencées de la façon suivante :

- 10 broches configurables uniquement en entrée

- 2 broches configurables uniquement en sortie
- 6 broches configurables en entrée et en sortie
- 2 broches d'alimentation.

L'ensemble des sorties provient de portes 3 états inverseuses (figure 6). L'état haute impédance peut être commandée par l'ensemble des entrées.

Chaque porte de la matrice « OU » possède 7 entrées. Ceci signifie que chaque sortie peut résulter, au maximum, d'une fonction « OU » entre 7 termes produits. Chaque porte de la matrice « ET » possède 32 entrées. Ceci signifie que chaque terme produit peut résulter, au maximum, d'une fonction « ET » entre 16 variables et leurs compléments.

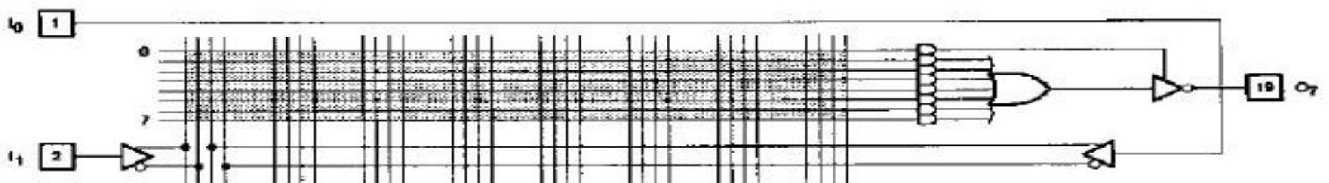


Figure 15 : Configuration partielle interne du PAL 16L8

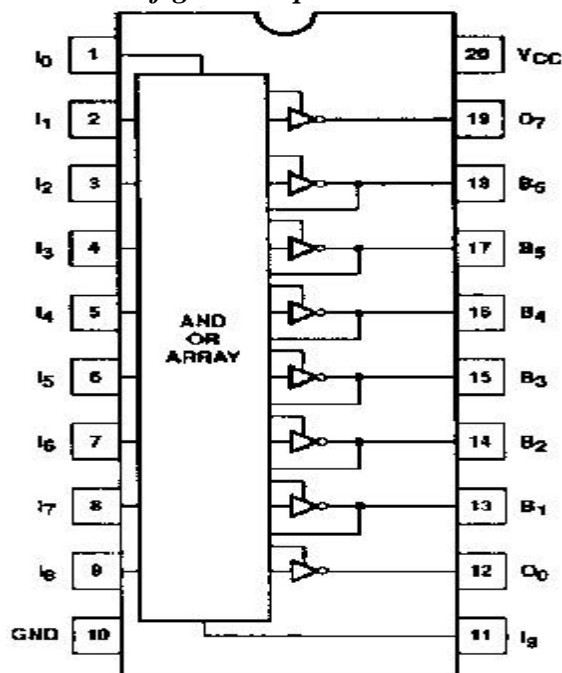


Figure 16 : Brochage du PAL 16L8

#### b) Le PAL 16R8 :

Ce type de circuit est constitué de logique combinatoire et séquentielle. Il possède 20 broches (Documentation en annexe) agencées de la façon suivante :

- 8 broches (n° 2 à 9) configurables uniquement en entrée
- 1 broche (n° 1) d'entrée d'horloge de l'ensemble des 8 bascules D

- 1 broche (n° 11) de validation des 8 sorties (output enable)
- 8 broches (n° 12 à 19) configurables en sortie et pouvant être réinjecter en entrée
- 2 broches d'alimentation (n° 10 et 20).

Logic diagram of PAL16L8

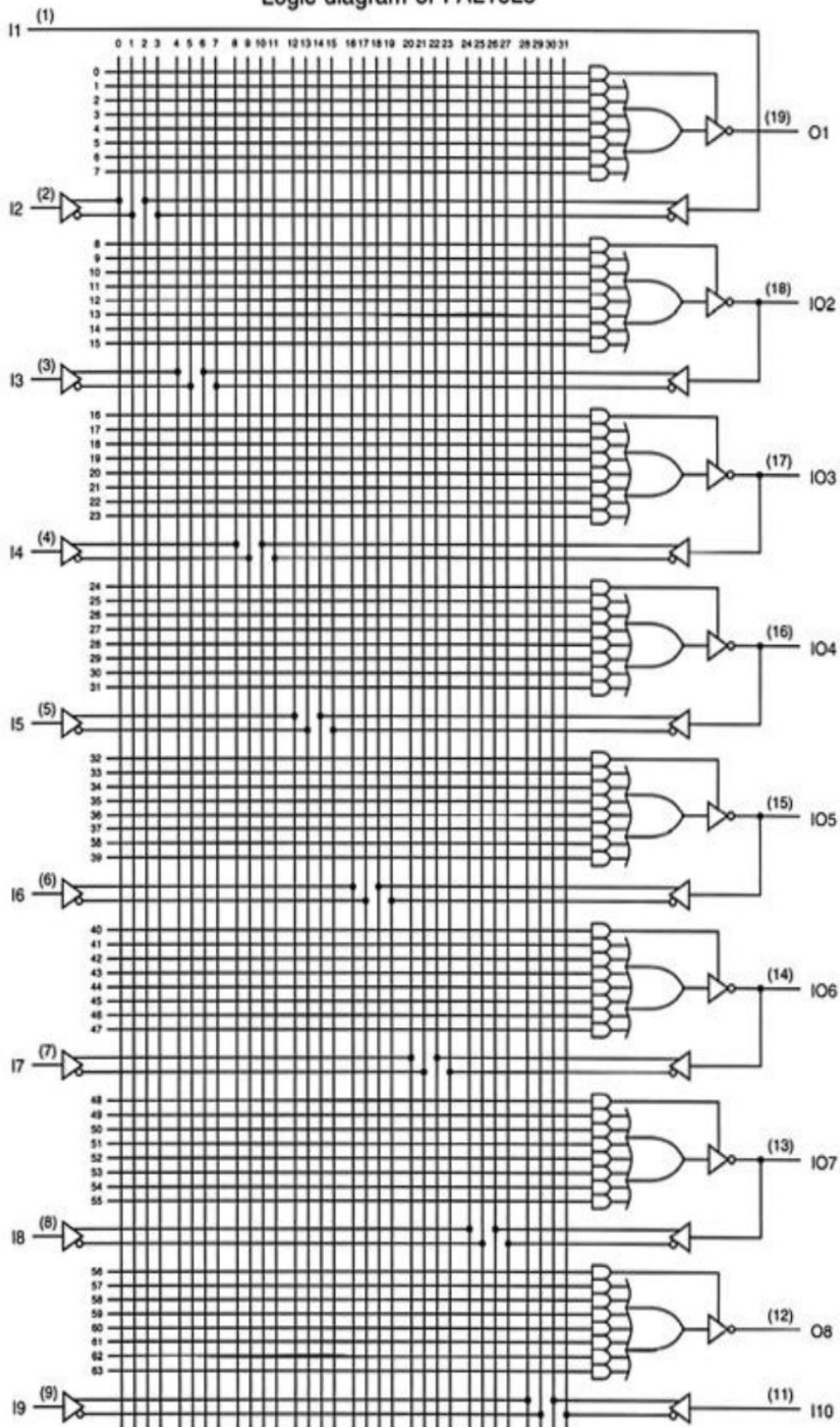


Figure 17

### 3) Les PLA ou FPLA (Field Programmable Logic Array)

L'architecture des PLA est donnée ci-dessous :

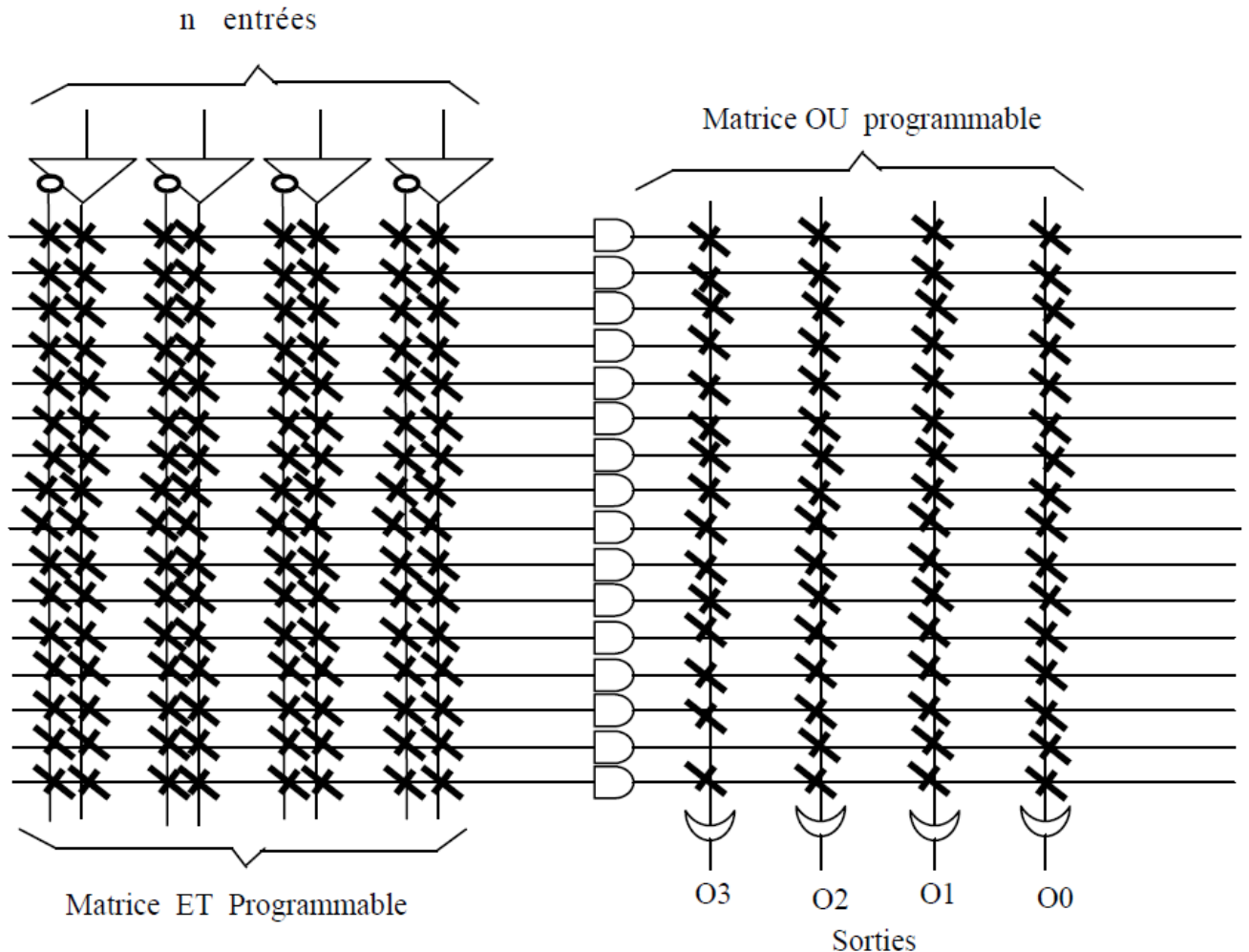


Figure 18 : FFPLA 4 Entrées 4 Sorties 16 Produits

Les matrices ET et OU sont programmables indépendamment, ce qui offre une très grande souplesse. Ces circuits disposent également d'un circuit de sortie programmable (circuit d'inversion).

### 4) Les circuits logiques Séquentiels programmables

Les constructeurs de PAL combinatoires ont développé des réseaux logiques programmables adaptés aux systèmes séquentiels. On en trouve :

#### 4-1 LES PAL SÉQUENTIELS :

Ce sont des circuits PAL dont la matrice ET-OU est identique à celle des PAL combinatoires et qui disposent en sortie de bascules D (edge triggered) qui échantillonnent le résultat combinatoire à chaque front montant d'un signal d'horloge commun à toutes les bascules. Les sorties des bascules sont de type trois états contrôlées par un signal de validation Enable ou OE, et une horloge est commune à toutes les bascules (clock).

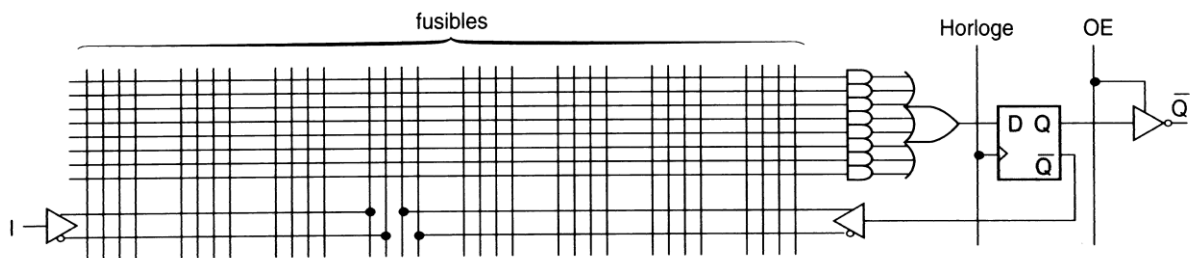
**a- Les différents types de PAL séquentiels :**

Compte tenu de la structure de l'étage de sortie, on distingue trois types de PAL séquentiels :

1. les PAL de type R
2. les PAL de type x
3. les PAL de type V

**a-1- Les PAL de type R (configuration Register) :**

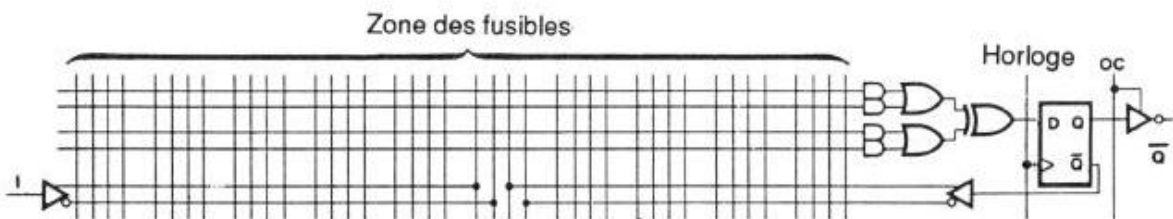
Ce sont des circuits pour lesquels la structure de l'étage de sortie est la suivante :



**Figure 19**

**a-2- Les PAL de type X (configuration ou exclusif) :**

Ce sont des circuits pour lesquels la structure de l'étage de sortie est la suivante :



**Figure 20**

**a-3- Les PAL de type V (versable : macrocellule de sortie) :**

Ce type de structure représente les P.A.L. les plus évoluées, car les structures de sorties dite versatile proposent quatre configurations possibles suivant les valeurs de S0 et S1.

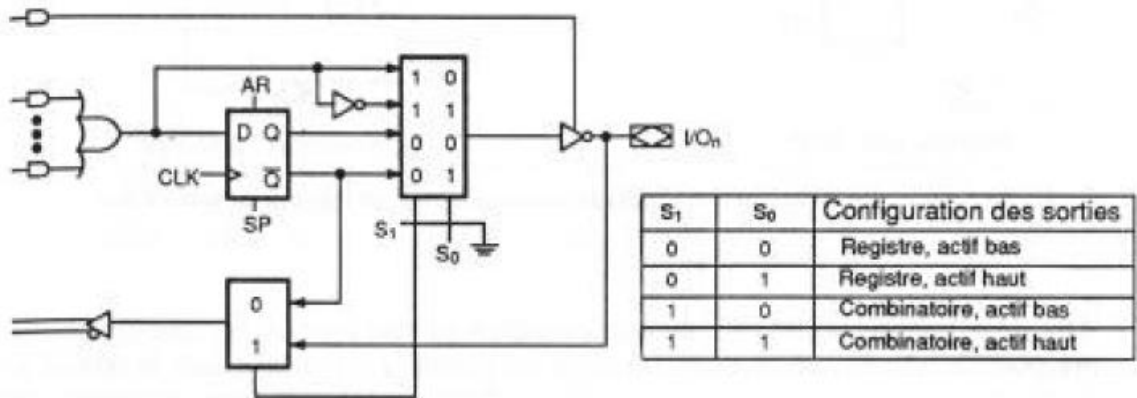


Figure 21

Il découle les 4 cas suivant :

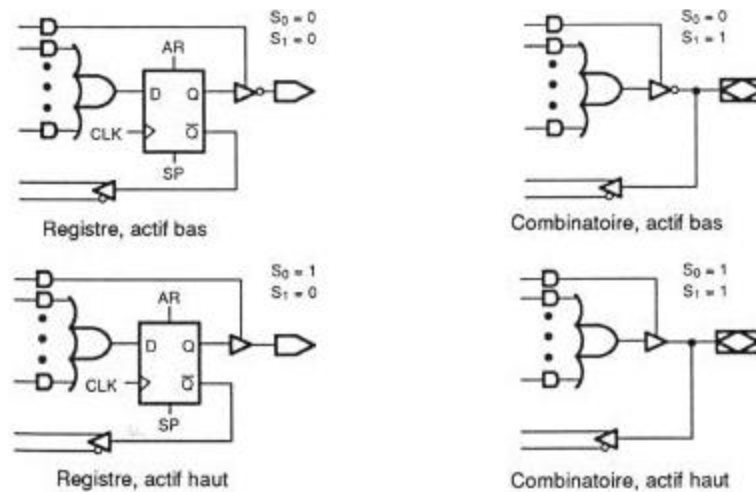


Figure 22

### b-EXEMPLES DE PAL SEQUENTIELS. Le PAL 16R8.

Ce type de circuit est constitué de logique combinatoire et séquentielle. Il possède 20 broches (Doc. annexe) agencées de la façon suivante :

- 8 broches (n° 2 à 9) configurables uniquement en entrée
- 1 broche (n° 1) d'entrée d'horloge de l'ensemble des 8 bascules D
- 1 broche (n° 11) de validation des 8 sorties (output enable)
- 8 broches (n° 12 à 19) configurables en sortie et pouvant être réinjecter en entrée
- 2 broches d'alimentation (n° 10 et 20).

L'ensemble des sorties provient de portes 3 états inverseuses provenant elles-mêmes de bascules D (figure 9). L'état haute impédance est commandée par l'entrée OE (broche n°11).

Chaque porte de la matrice « OU » possède 7 entrées. Ceci signifie que chaque sortie peut résulter, au maximum, d'une fonction « OU » entre 7 termes produits.

Chaque porte de la matrice « ET » possède 32 entrées. Ceci signifie que chaque terme produit peut résulter, au maximum, d'une fonction « ET » entre 16 variables et leurs compléments.

En résumé on peut dire que les huit sorties de ce circuit proviennent d'un registre trois états. La mise en haute impédance de ce dernier est commandée par la broche OE et la mémorisation est activée par les fronts montants de l'horloge CLK.

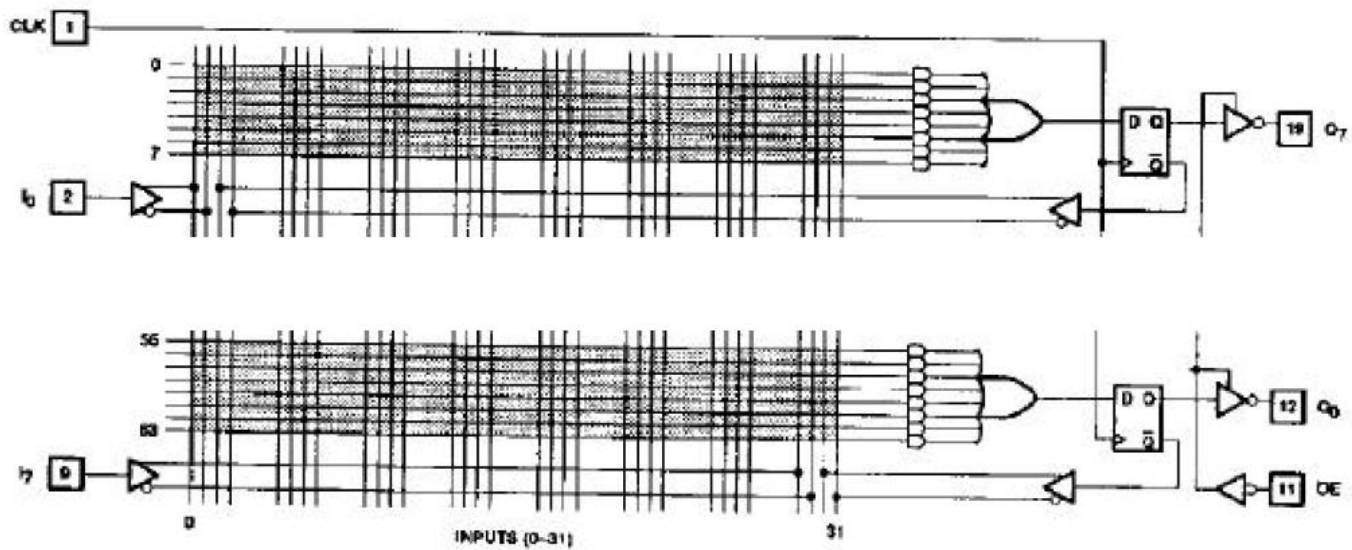


Figure 23 : Configuration partielle interne du PAL 16R8

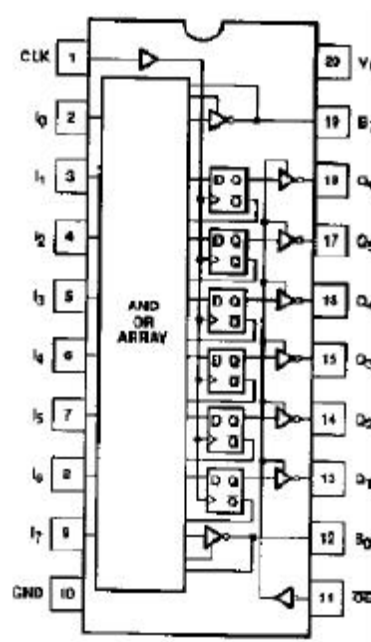




Figure 24 :Brochage du PAL 16R6

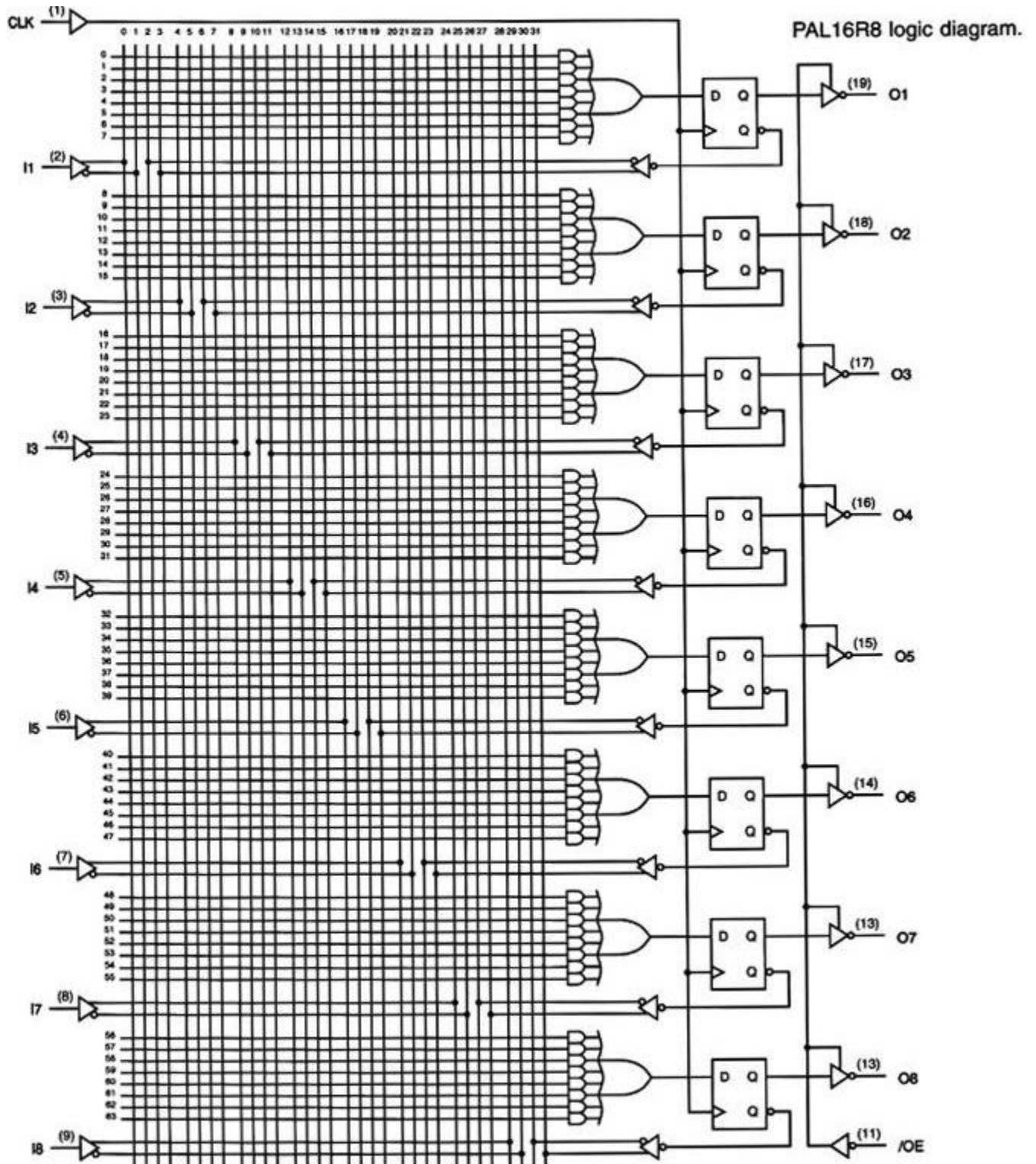


Figure 25

4-2 LES GALS (GENERIC ARRAY LOGIC).

### **a) PRESENTATION.**

L'inconvénient majeur des PALs est qu'ils ne sont programmables qu'une seule fois. Ceci impose un gaspillage important de ces circuits lorsqu'on veut développer un nouveau produit. La firme LATTICE a donc pensé, il y a un peu plus de 10 ans, à remplacer les fusibles irréversibles des PALs par des transistors MOS FET pouvant être régénérés. Ceci a donc donné naissance aux GALs que l'on pourrait traduire par « Réseau logique Générique ». Ces circuits peuvent donc être reprogrammés à volonté sans pour autant avoir une durée de vie restreinte. On peut aussi noter que dans leur structure interne les GALs sont constitués de transistor CMOS alors que les PALs classiques sont constitués de transistors bipolaires. La consommation des GALs est donc beaucoup plus faible. Depuis d'autres constructeurs fabriquent ce type de produit en l'appelant « PAL CMOS ».

Par soucis de remplacer les PALs, LATTICE a équipé la plupart de ses GALs de macro cellules programmables permettant d'émuler n'importe quel PAL. Ces structures de sortie sont donc du type « Versatile » (V).

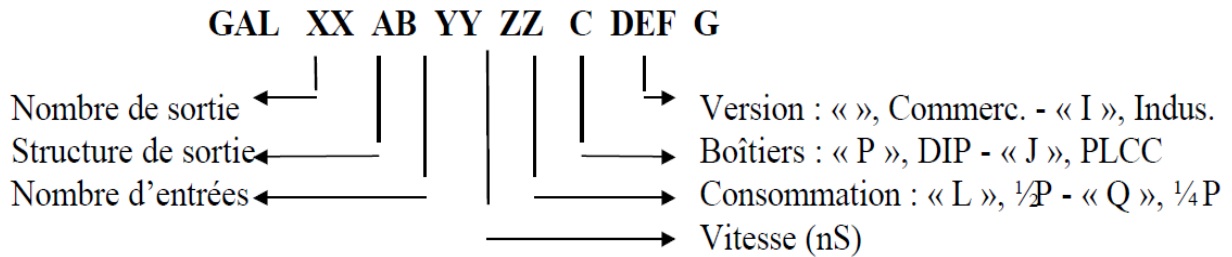
### **b) PROTECTION CONTRE LA DUPLICATION.**

Les GAL sont dotés d'un bit de sécurité qui peut être activé lors de la programmation empêchant ainsi toute lecture du contenu du circuit. Ce bit est remis à zéro seulement en effaçant complètement le GAL.

Il est aussi constitué d'un ensemble de huit octets, appelé signature électronique, pouvant contenir des informations diverses sur le produit.

### **c) REFERENCE DES GAL.**

Le nombre de types de GAL est de 8. Les deux 2 derniers-nés présentent une structure plus particulière que nous n'aborderons pas dans ce document. Les six plus anciens sont différenciés par leurs nombres d'entrées et de sorties. Ils possèdent une structure de sortie soit du type « Versatile » soit du type « Registre asynchrone ».



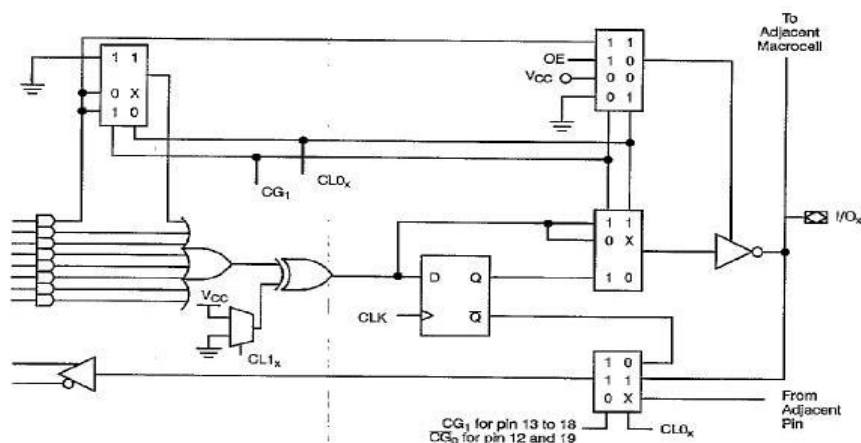
**Tableau résumant les différents types de GAL :**

Référence	Nombre de	Vitesse(nS)	Consommation(mA)	Remarque
GAL 16V8	20	10, 15 ou 20	55 ou 115	Macro-cellule (1)
GAL 18V10	20	15 ou 20	115	//
GAL 20V8	24	10, 15 ou 25	55 ou 115	//
GAL20RA10	24	15 ou 20	115	Registre asynchrone (1)
GAL 22V10	24	15, 20 ou 25	130	Macro-cellule (1)
GAL 26V12	28	15 ou 20	130	//
GAL 6001	24	30 ou 35	150	Macro-cellule (1) - Type FPLA (2)
ispGAL16Z8	24	20 ou 25	90	Macro-cellule (1) - Programmable en

- \* (1) : structure de sortie.
- \* (2) : Matrices « OU » et « ET » programmables.
- \* (3) : Circuit reprogrammable à tout moment par liaison série.

**d) MACRO CELLULE DE SORTIE (OLMC).**

Comme cela a été spécifié auparavant, ces structures de sortie sont programmables et permettent d'émuler n'importe quelle autre structure de sortie. Elles possèdent en tout 2 bits de programmation communs à toutes les cellules (CG1 et CG0) et 2 bits spécifiques à chaque cellule (CL0x et CL1x).



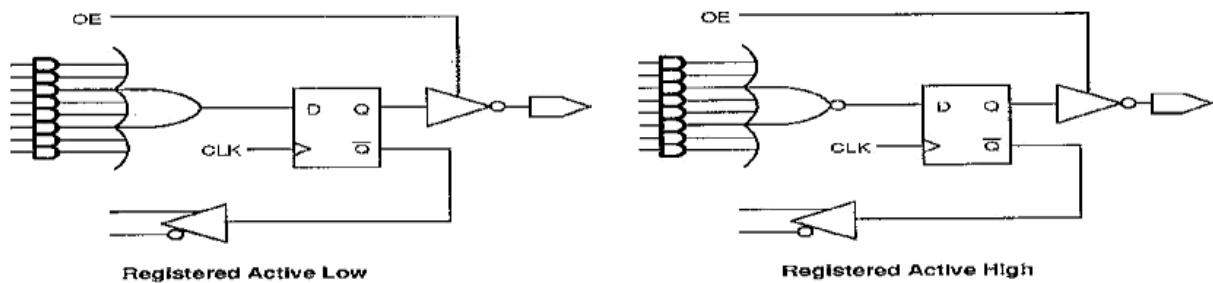
**Figure 26 : macro-cellule OLMC du GAL 16V8**

## Configurations possibles de la macro-cellule pour le GAL 16V8 :

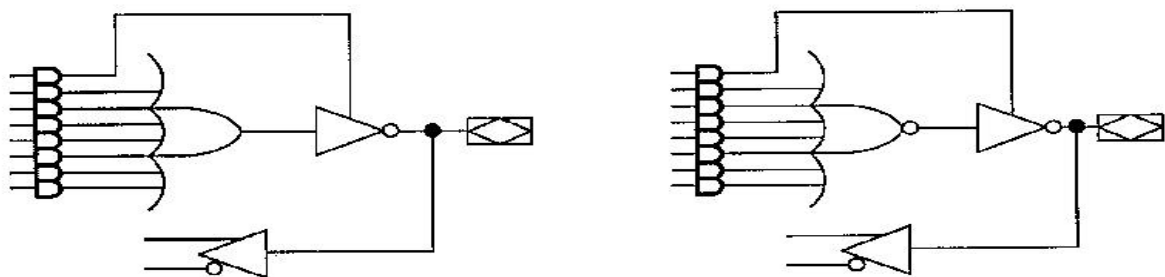
Configuration de la structure de sortie	Circuit PAL émulé
Registre synchrone - sortie 3 états (C1)	16R8
Entrée / Sortie combinatoire - sortie 3 états (C2)	16R4 - 16R6
Entrée et/ou Sortie combinatoire (C3)	10L8 - 12H6
Entrée combinatoire (C4)	12L6
Entrée / Sortie combinatoire - sortie 3 états (C2)	16L8 - 16H8

**Remarque :** En configuration « Registre » et en n'utilisant pas l'état haute impédance des portes 3 états, il faut relier la broche OE (n°11) à VCC.

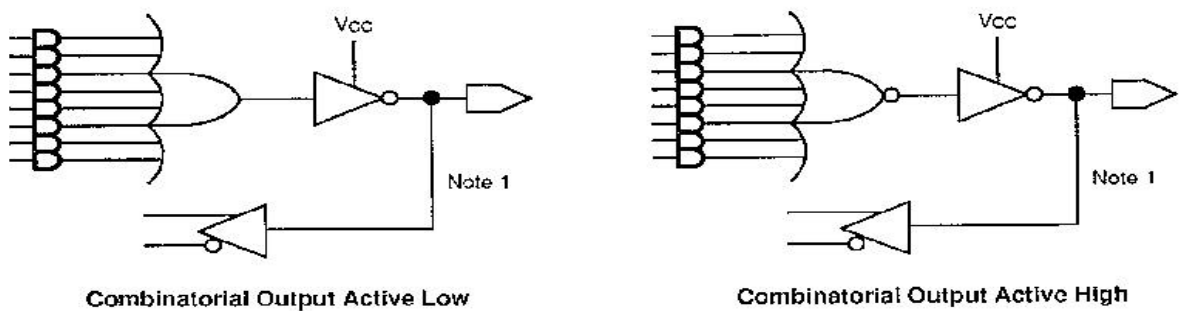
igu



**Figure 27 : registre synchrone / sortie 3 états**



**Figure 28 : E/S combinatoire / sortie 3 états**

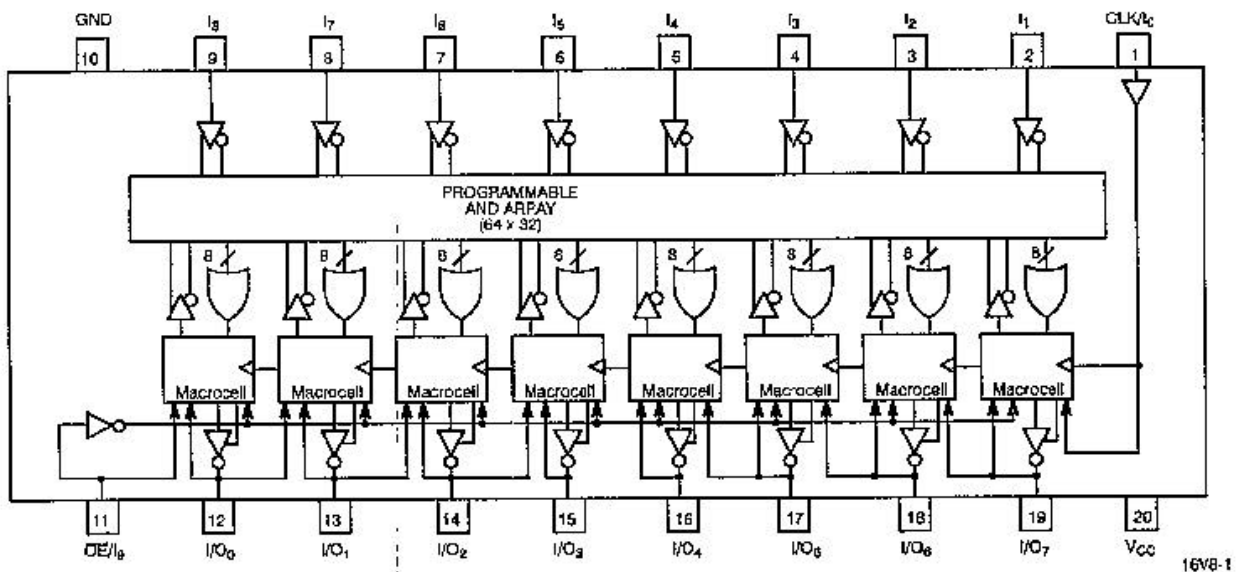


**Figure 29 : E/S Combinatoire**

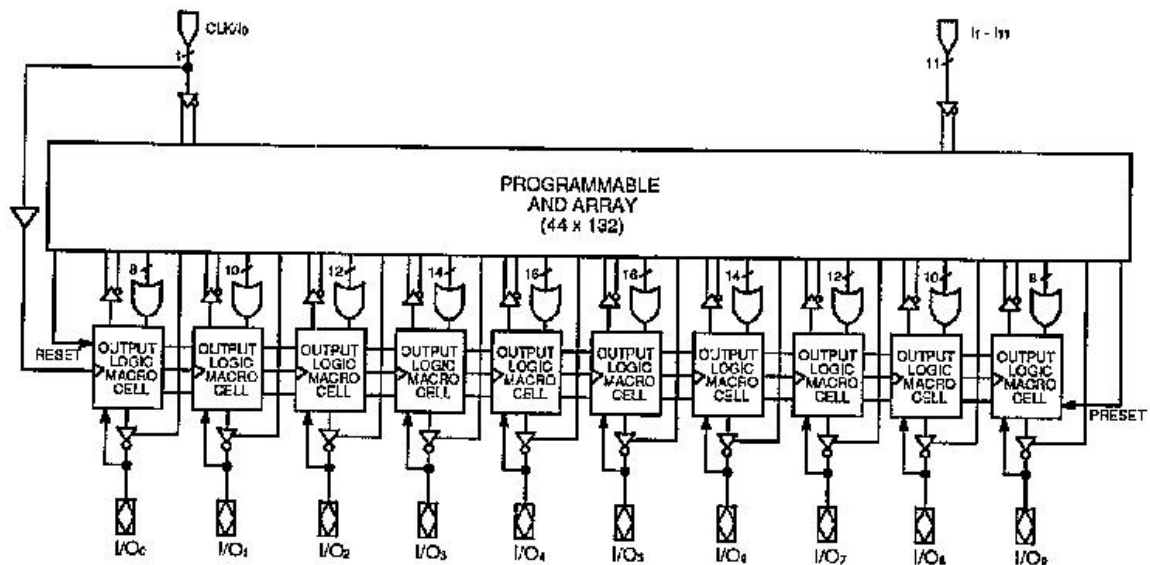
**Remarques :** La programmation des cellules de sortie est transparente pour l'opérateur. C'est le logiciel de développement qui, en fonction de certaines indications (sortie / entrée registre ou combinatoire), effectue la configuration des structures de sortie.

Pour le GAL 16V8, Les broches 15 et 16 ne peuvent pas être configurées en entrées combinatoires.

**e) EXEMPLE DE BROCHAGE DE CIRCUIT.**

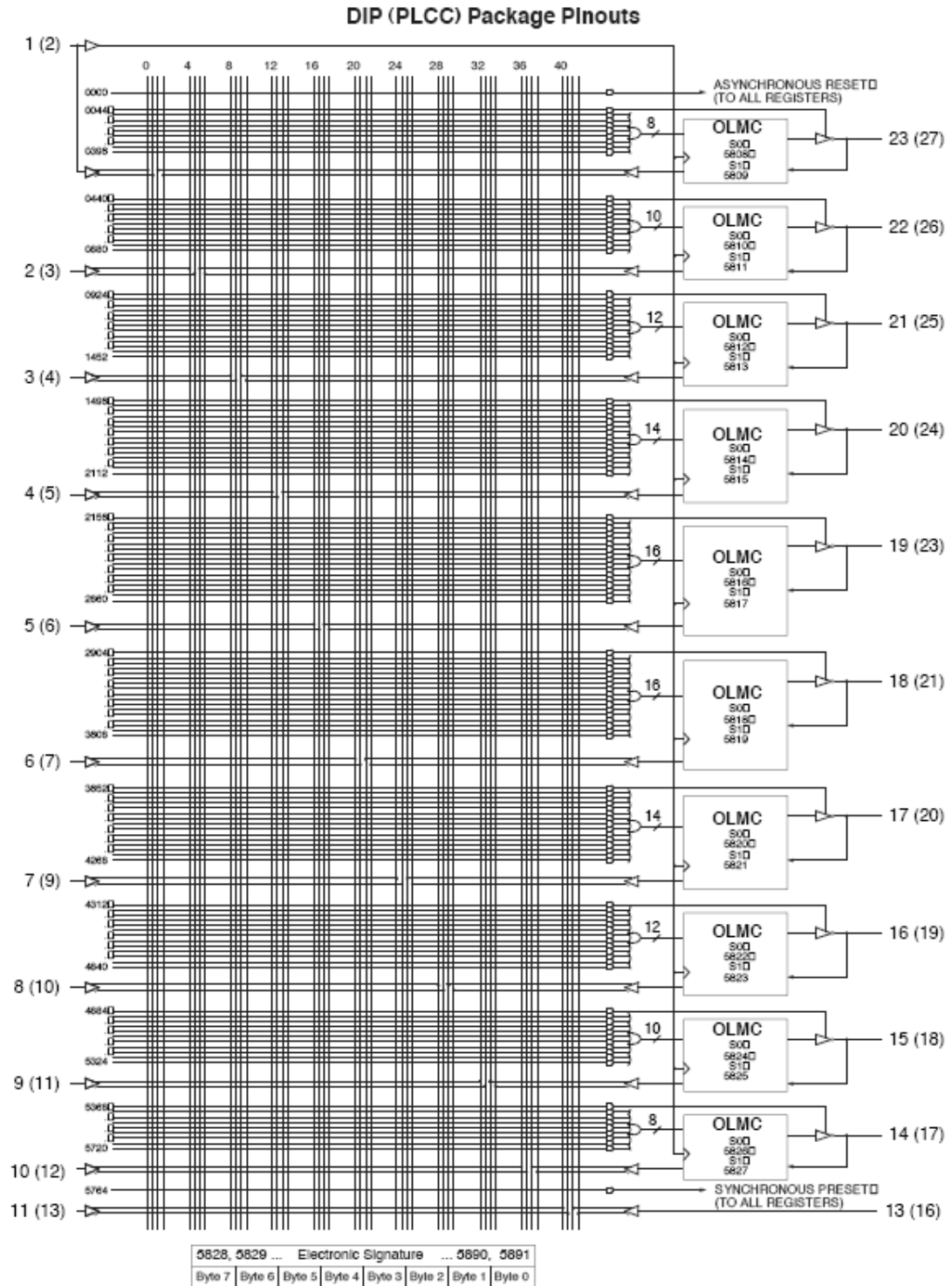


**Figure 30 : brochage du 16V8**



**Figure 31 : brochage du 22V10**

**GAL22V10 Logic Diagram / JEDEC Fuse Map**



**Figure 32**

#### IV- PROGRAMMATION DES PLDS.

La programmation des PLDs nécessite un logiciel adapté pour le développement du programme et un programmeur permettant de « griller » le circuit. En outre il est conseillé de suivre la démarche décrite par l'organigramme suivant :

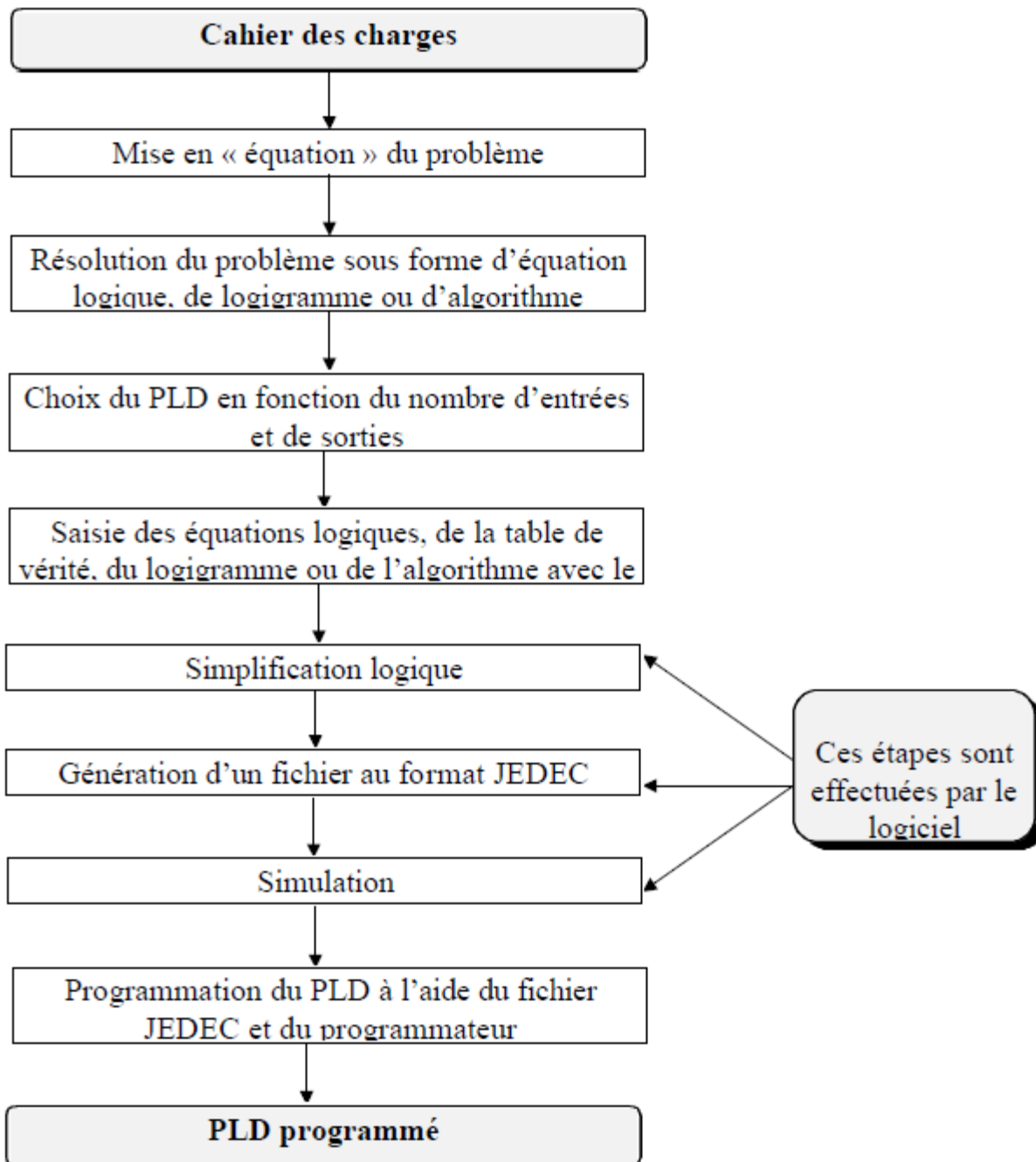


Figure 33

\* Le logiciel de développement permet de simplifier les équations et de générer un fichier

JEDEC à partir des données rentrées par l'opérateur. Il simule aussi le fonctionnement du PLD avec le programme obtenu.

\* Le fichier JEDEC est un ensemble de données binaires indiquant au programmeur les fusibles à «griller».

\* Le programmeur permet de « griller » les fusibles du PLD en fonctions des données du fichier JEDEC. Il est en général associé à un logiciel de pilotage. Les programmeurs utilisés sont les mêmes que ceux permettant la programmation des EPROM.

## **V- Les CPLD (Complex Programmable Logic Devices).**

Les ROMs, PLAs, PALs et GALs sont parfois appelés des circuits logique programmable simples (Simple Programmable Logic Devices – SPLD).

Les CPLD sont une extension naturelle des circuits PAL. À mesure que leur complexité grandissait, la taille des PALs était limitée par le nombre de pattes pouvant être placées sur la puce. Un CPLD incorpore donc plusieurs PALs ou PLAs sur une seule puce avec un réseau d'interconnexions. Le réseau permet de relier les pattes de la puce à différents blocs internes, mais aussi à relier les blocs entre eux. Il est donc possible de composer des fonctions logiques très complexes incluant des machines à états et de petites mémoires. Ces circuits ont une capacité en nombre de portes et en possibilités de configuration très supérieure à celle des PALs. Leurs architectures sont basées sur celles des PALS. Un CPLD c'est l'équivalent de plusieurs PALs mis dans le même circuit associé à une zone d'interconnexion. Le nombres de portes peut varier entre 100 et 100 000 portes logiques et entre 16 et 1000 bascules voir plus.

### **Structure générale d'un CPLD.**



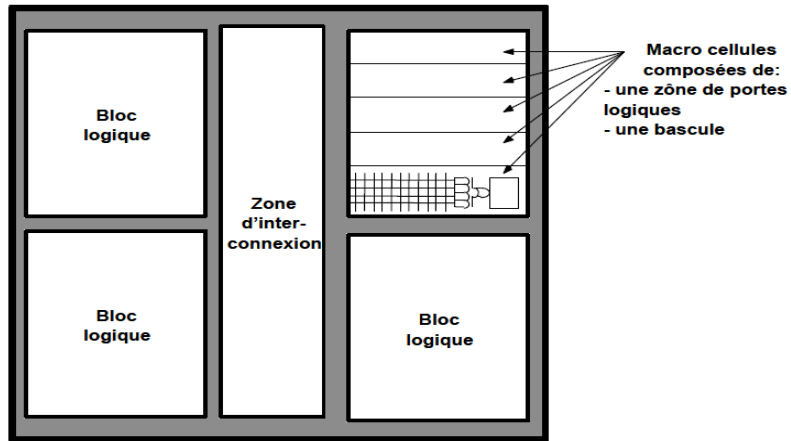


Figure 34

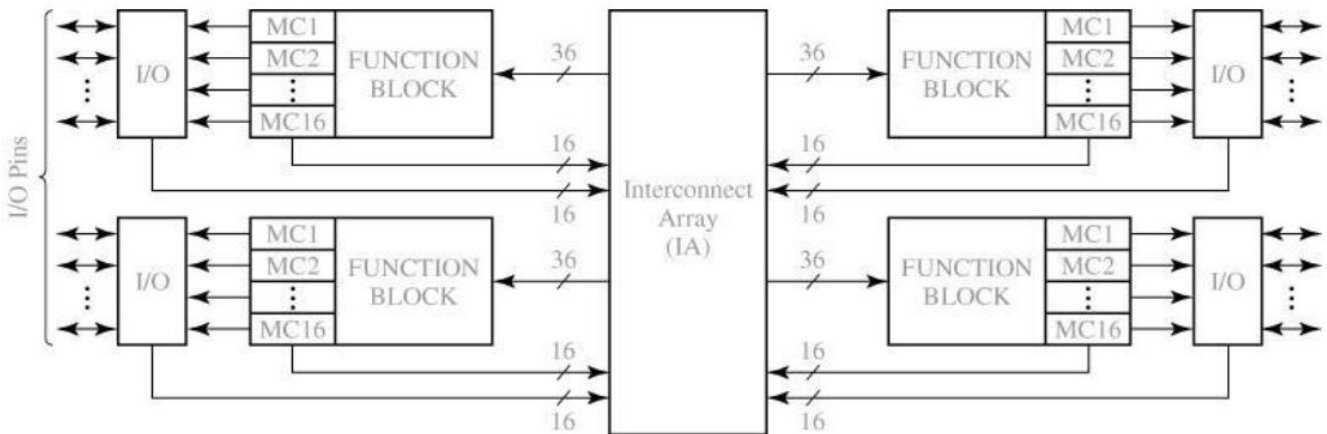
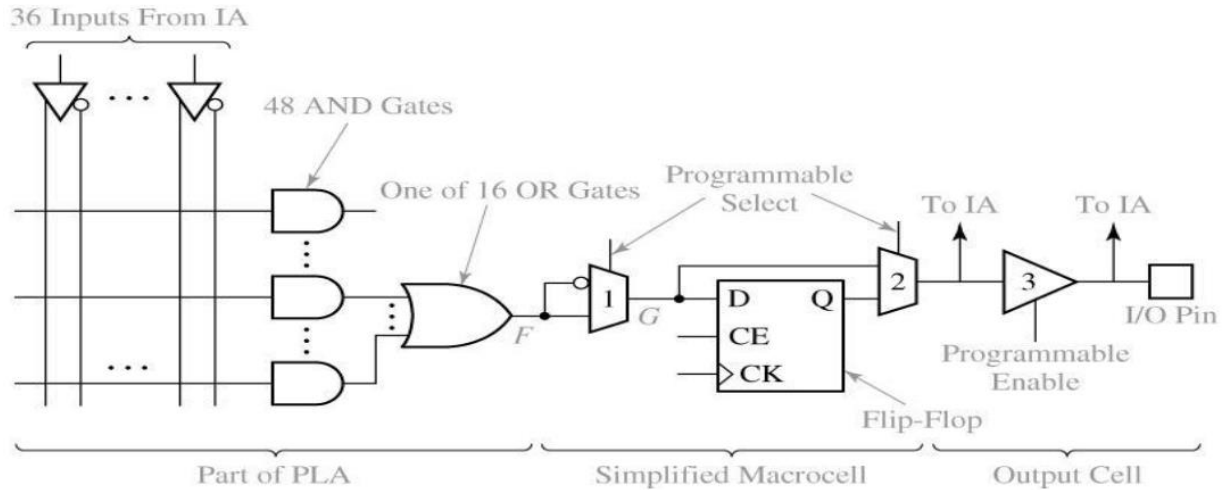


Figure 35 : Architecture d'un CPLD de Xilinx

Le système comprend quatre blocs fonctionnels qui sont des PALs à 36 entrées et 16 sorties. Les sorties proviennent de macro-cellules contenant un élément programmable à mémoire. Le réseau d'interconnexions permet d'établir des connexions entre les blocs d'entrées-sorties, les blocs fonctionnels et les macro-cellules.



**Figure 36 : Détails d'un CPLD**

On voit les 36 entrées en versions naturelle et complémentée qui alimentent 48 portes ET à connexions programmables. Les 48 portes ET alimentent 16 portes OU à connexions programmables. La macro-cellule permet d'activer ou non la bascule avec un signal naturel ou complémenté. La cellule de sortie contient un tampon à trois états.

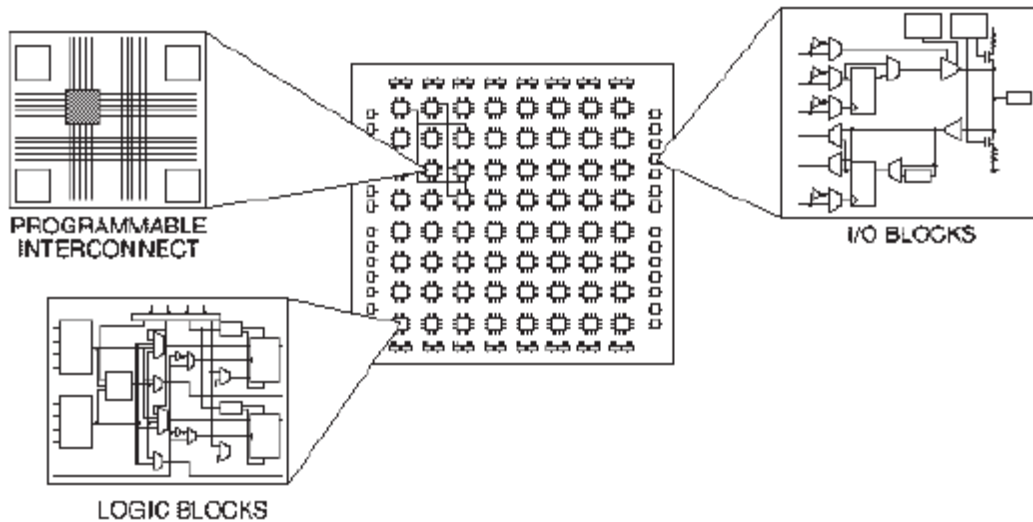
## VI- Les FPGA (Field Programmable Gate Array).

Les FPGAs à la différence des CPLDs sont assimilables à des A.S.I.C. (Application Specific Integrated Circuit) programmables par l'utilisateur. La puissance de ces circuits est telle qu'ils peuvent être composés de plusieurs milliers voire millions de portes logiques et de bascules qui peuvent être interconnectés.

Les dernières générations de FPGA intègrent même de la mémoire vive (RAM). Les deux plus grands constructeurs de FPGA sont XILINX et ALTERA.

Ils sont composés de blocs logiques élémentaires (plusieurs milliers de portes) qui peuvent être interconnectés.

Les blocs logiques sont plus nombreux et plus simples que pour les CPLDs, mais cette fois les interconnexions entre les blocs logiques ne sont pas centralisées.

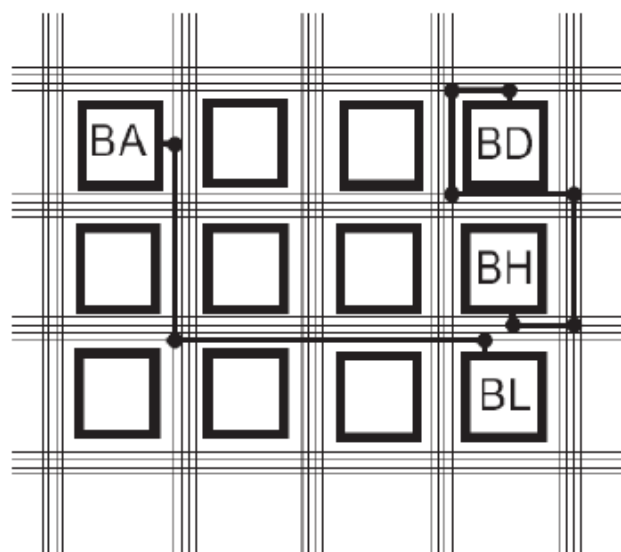


**Figure 37 : Structure d'un FPGA**

Le passage d'un bloc logique à un autre se fera par un nombre de points de connexion (responsables des temps de propagation) fonction de la position relative des deux blocs logiques et de l'état "d'encombrement" de la matrice. Ces délais ne sont donc pas prédictibles (contrairement aux CPLDs) avant le placement routage.

De la phase de placement des blocs logiques et de routage des connexions dépendront donc beaucoup les performances du circuit en terme de vitesse. Sur la figure suivante, pour illustrer le phénomène, on peut voir

- une liaison entre deux blocs logiques (BA et BL) éloignés, mais passant par peu de points de connexion, donc introduisant un faible retard.
- une liaison entre deux blocs proches (BD et BH) mais passant par de nombreux points de connexion, donc introduisant un retard important.



### Figure 38

L'utilisation optimale des potentialités d'intégration d'un FPGA conduira à un routage délicat et pénalisant en termes de vitesse. Il convient de noter que ces retards sont dus à l'interaction de la résistance de la connexion et de la capacité parasite; cela n'a rien à voir avec un retard dû à la propagation d'un signal sur une ligne tel qu'on le voit en haute fréquence.

Ces composants permettent une forte densité d'intégration. La petitesse des blocs logiques autorise une meilleure utilisation des ressources du composant (au prix d'un routage délicat) Il devient alors possible d'implanter dans le circuit des fonctions aussi complexes qu'un micro-contrôleur. Ces fonctions sont fournies sous forme de programme (description VHDL du composant) par le constructeur du composant et appelées "megafonction" ou "core". Le terme générique classiquement utilisé pour les désigner est "propriété intellectuelle" ou IP (Intellectual Property).

Les FPGAs utilisent généralement les technologies SRAM ou antifusible, selon les fabricants, Xilinx utilisant la technologie SRAM et ACTEL tout comme ALTERA la technologie anti fusible de préférence.

