**EXERCICE1 SUR VHDL**

**Exercice 1 :**

Ecrivez une description en VHDL à partir du circuit suivant**:**



 **S**

 **S3**

 **S2**

 **S1**

**Solution de l’exercice 2 :**

**Library ieee ;**

**Use ieee.std\_logic\_1164.all;**

**--------------------------------------------------**

**Entity circuit1 is**

**Port (A, B, CLK, SEL : in std\_logic;**

 **S : out std\_logic);**

**End circuit1;**

**-----------------------------------------------------------------------**

**Architecture Arch of circuit1 is**

**Signal S1, S2, S3 : std\_logic ;**

**Begin**

 **S1 <= A xor B;**

 **S2 <= Aand B;**

**Process(SEL)**

 **Begin**

 **If SEL = ‘0’ then**

 **S3 <= S1;**

 **Else**

 **S3 <= S2;**

 **End if;**

 **End process;**

 **Process (CLK, S3)**

 **if CLK’event and CLK= ‘1’ then**

 **S <=S3;**

 **Enf if;**

**End process;**

**End Arch;**