**EXERCICE3 SUR VHDL**

**Exercice 3 :**

Ecrivez une description structurelle en VHDL à partir du circuit3 suivant :



S

**Solution de l’exercice 2 : Les 2 composants du circuit sont : la Bascule D et le OU exclusif (XOR)**

**-- fichier 1 pour le composant XOR**

**Library ieee ;**

**Use ieee.std\_logic\_1164.all;**

**----------------------------------------------------------------**

**Entity XOR\_2 is**

**Port (A, B : in std\_logic;**

 **S : out std\_logic);**

**End XOR\_2;**

**Architecture Arch of XOR\_2 is**

**Begin**

**S <= A xor B;**

**End Arch;**

**--fichier2 pour la Bacule D**

**Library ieee ;**

**Use ieee.std\_logic\_1164.all;**

**----------------------------------------------------------------**

**Entity Basc\_D is**

**Port(D, CK : in std\_logic ;**

 **Q: out std\_logic);**

**End Basc\_D;**

**Architecture Arch of Basc\_D is**

**Begin**

**Process(CK)**

**begin**

**If CK’event and CK = ‘1’ then**

**Q <=D;**

**End if;**

**End process;**

**End Arch;**

**--fichier3 du circuit3**

**-----------------------------------------------------------------------------------------**

**Library ieee ;**

**Use ieee.std\_logic\_1164.all;**

**--------------------------------------------------------------------------------------**

**Entity circuit3 is**

**Port (hor, e : in std\_logic;**

 **S : out std\_logic);**

**End circuit3;**

**-----------------------------------------------------------------------**

**Architecture Arch of circuit3 is**

**component XOR\_2 is**

**Port (A, B : in std\_logic;**

 **S : out std\_logic);**

**End component;**

**Component Basc\_D is**

**Port(D, CK : in std\_logic ;**

 **Q: out std\_logic);**

**End component;**

**Signal qa, qb : std\_logic ;**

**Begin**

 **U1 : Basc\_D port map (e, hor, qa);**

 **U2 : Basc\_D port map (qa, hor, qb);**

 **U3 : XOR\_2 port map (qa, qb, S);**

**End Arch ;**