**EXERCICE4 sur VHDL**

**Exercice 4**

Ecrire le programme VHDL du circuit suivant :



**Solution de l’exercice 4**

**Library ieee ;**

**Use ieee.std\_logic\_1164.all ;**

**-------------------------------------------------**

**Entity circuit is**

**Port(a, b, c, clk : in std\_logic;**

**reg\_z : out std\_logic);**

**End circuit;**

**Architecture Arch of circuit is**

**Signal x, y, z : std\_logic;**

**Begin**

**x <= a nand b ;**

**y <= x or c;**

**z <= a xor y;**

**process(clk)**

**begin**

**if clk’event and clk = ‘1’ then**

**reg\_z = z;**

**end if;**

**end process;**

**end Arch;**