**DEVOIR à remettre au plus tard le jour de l’examen**

**Il sera noté 6/6 de la note de TD. Il doit être rédigé avec des feuilles au format A4.**

**La présentation compte pour la note**

**Pour tout retard au-delà du 13/02/2022 le matin la note sera 0/6**

**Exercice 1 :** Réaliser les deux fonctions suivantes avec un circuit PAL qui possède 3 variables d’entrées, et deux termes OU avec chaque terme OU comportant 4 termes ET :

$$F\_{1}\left(a, b,c\right)=a.b.c+a.\overbar{b}.\overbar{c}+ \overbar{a}.\overbar{c}$$

$$F\_{2}\left(a, b,c\right)=a.b.c+\overbar{a}.\overbar{b}.\overbar{c}$$

**Exercice 2 :**  Soient les deux circuits programmables suivants


 Figure 1 Figure 2

f3

f4

1. Quel est le type de circuit de la figure 1
2. Quel est le type de circuit de la figure 2
3. Donner les expressions de f1, f2, f3, f4

**Exercice 3 :** Donner les équations logiques des sorties S3, S2, S1, S0 de circuit PAL suivant :





**Exercice 4 :**

Soit le circuit programmable PLA ci-contre,

* 1. Trouver l’équation de Q0 et Q1.
	2. Réaliser sur le schéma les équations suivantes :
* 

Q2

* 

 **Exercice  5 :**

Ecrire le programme VHDL du circuit suivant dont les entrées sorties sont :

S1

 a

Q

D

 b

S3

Z

S4

 c

S2

Q

D

 d

 clk

**Exercice 6 :**

Soit une bascule D avec remise à zéro RST asynchrone

Q

D

 clk

 rst

1. Donner le code VHDL de cette bascule
2. Soit le circuit à décalage série parallèle suivant :

 Q2

 Q1

 Q0

D

 E

Q

Q

Q

D

D

 clk

 rst

1. Donner le code VHDL structurelle de ce circuit à décalage série parallèle
2. Compléter le diagramme temporel suivant :

clk

rst

E

Q0………………………………………………………………………………………………………………………………………………………….

Q1…………………………………………………………………………………………………………………………………………………………

 Q2 ………………………………………………………………………………………………………………………………………………………….

**Exercice 7**

Soit un demi-additionneur d’un bit dont le tableau de vérité est donné comme suit :



1. Donner la table de vérité et le schéma électronique du circuit du demi-additionneur
2. Complétez les chronogrammes de sorties Si (somme) et Ri (retenue sortante) dans la Figure 2 et confrontez les avec le tableau de vérité du demi-additionneur.

 100 ns 200 ns 300 ns 400 ns



Ai

Bi

Si

Ri

**Figure 1. Chronogrammes d’entrées et de sorties (à compléter) du composant *demi\_add***

1. Donner le code VHDL du demi-additionneur.
2. Donner le code VHDL STRUCTUREL de l’additionneur complet.

