Université M'hamed Boudhiaf M'sila

Faculté de Technologie

Département d'électronique

Master 1 /S1/2021-2022

Options : ESEM + STLC

Le 19 / 01 / 2022

DEVOIR à remettre au plus tard le jour de l'examen

Il sera noté 6/6 de la note de TD. Il doit être rédigé avec des feuilles au format A4.

La présentation compte pour la note

Pour tout retard au-delà du 13/02/2022 le matin la note sera 0/6

Exercice 1 : Réaliser les deux fonctions suivantes avec un circuit PAL qui possède 3 variables d'entrées, et deux termes OU avec chaque terme OU comportant 4 termes ET :

$$F_1(a,b,c) = a.b.c + a.\bar{b}.\bar{c} + \bar{a}.\bar{c}$$

$$F_2(a,b,c) = a.b.c + \bar{a}.\bar{b}.\bar{c}$$

Exercice 2 : Soient les deux circuits programmables suivants

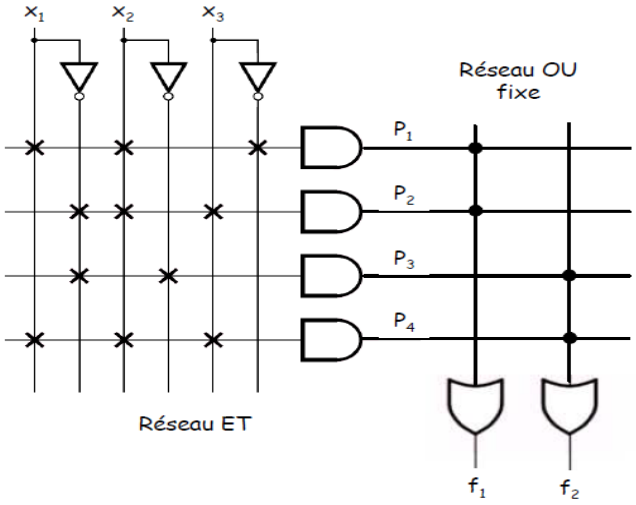


Figure 1

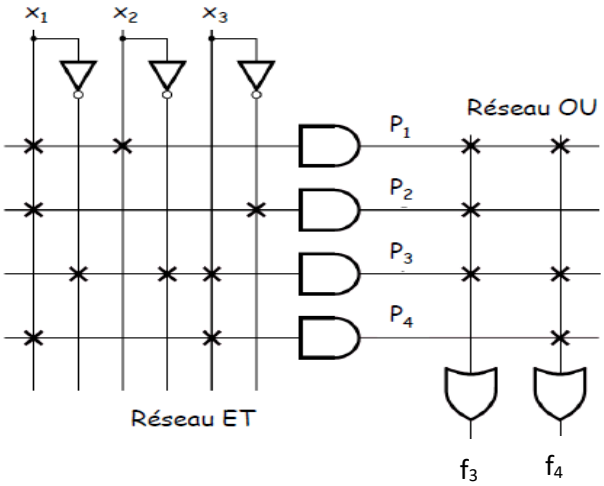


Figure 2

a) Quel est le type de circuit de la figure 1
b) Quel est le type de circuit de la figure 2
c) Donner les expressions de f_1, f_2, f_3, f_4

Université M'hamed Boudhiaf M'sila

Faculté de Technologie

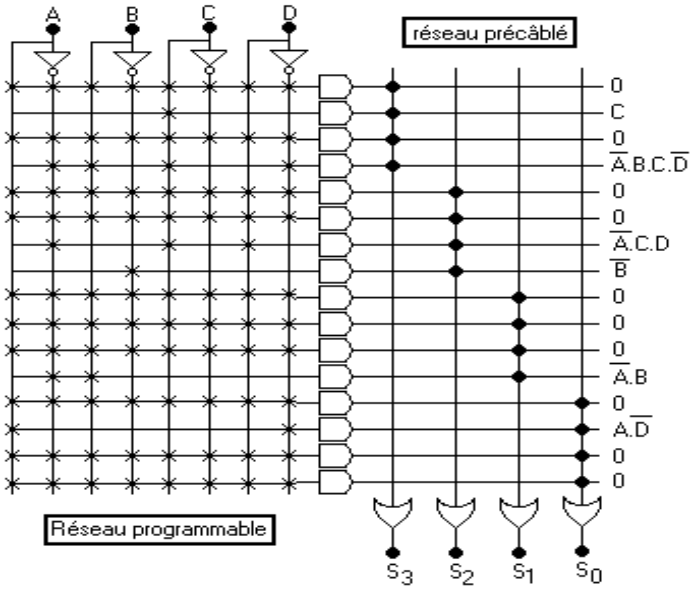
Département d'électronique

Master 1 /S1/2021-2022

Options : ESEM + STLC

Le 19 / 01 / 2022

Exercice 3 : Donner les équations logiques des sorties S3, S2, S1, S0 de circuit PAL suivant :



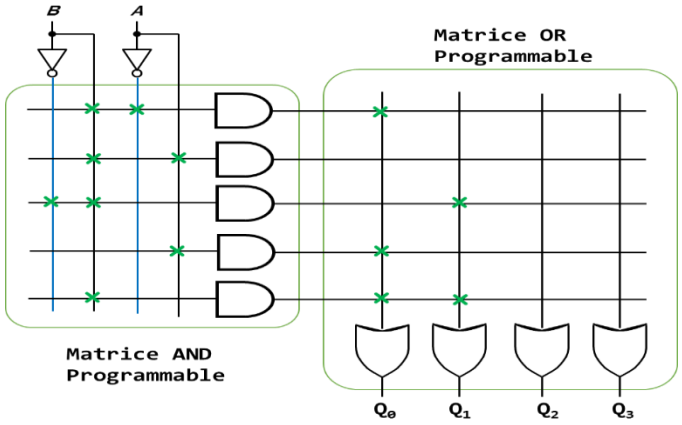
Exercice 4 :

Soit le circuit programmable PLA ci-contre,

1.1 Trouver l'équation de Q0 et Q1.

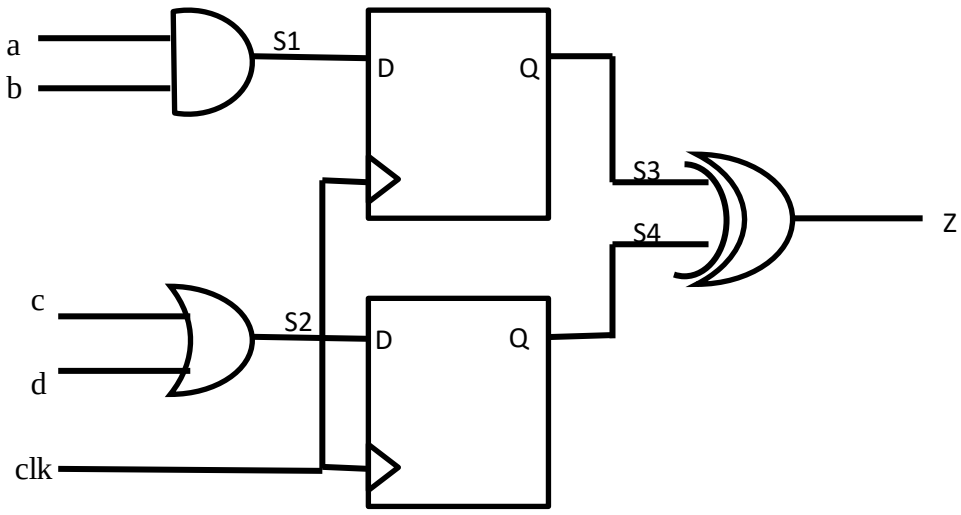
1.2 Réaliser sur le schéma les équations suivantes :

- $Q_2 = (\overline{A}.B) + (A.B) + \overline{B}$
- $Q_3 = (B.\overline{B}) + A + \overline{A}.B$



Exercice 5 :

Ecrire le programme VHDL du circuit suivant dont les entrées sorties sont :



Exercice 6 :

Université M'hamed Boudhiaf M'sila

Faculté de Technologie

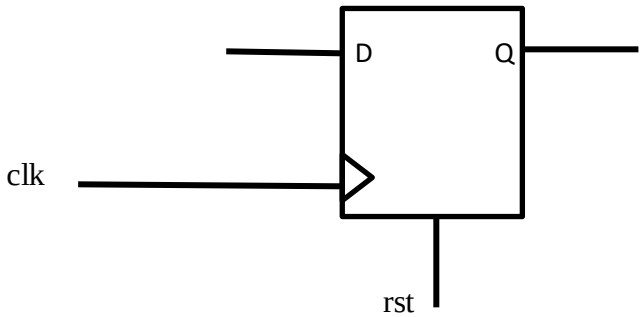
Département d'électronique

Master 1 /S1/2021-2022

Options : ESEM + STLC

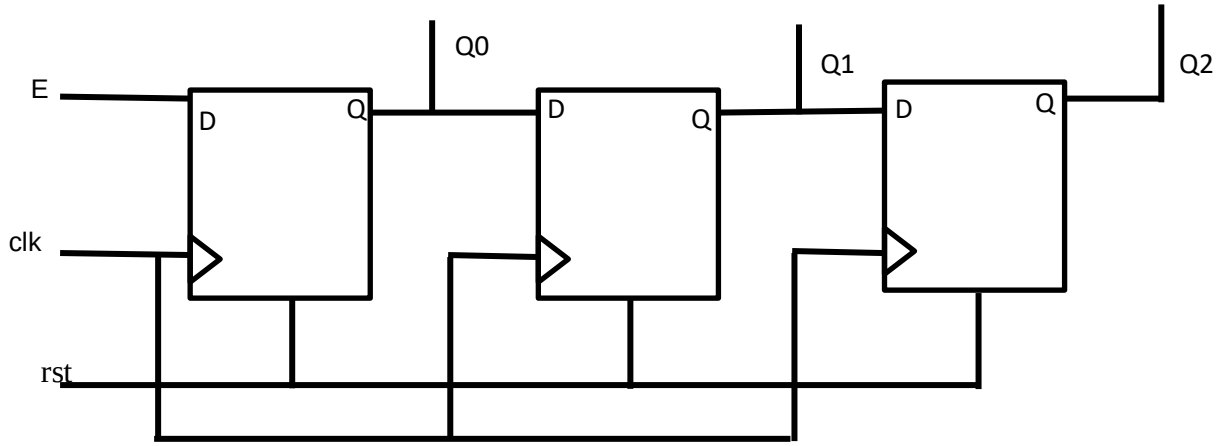
Le 19 / 01 / 2022

Soit une bascule D avec remise à zéro RST asynchrone



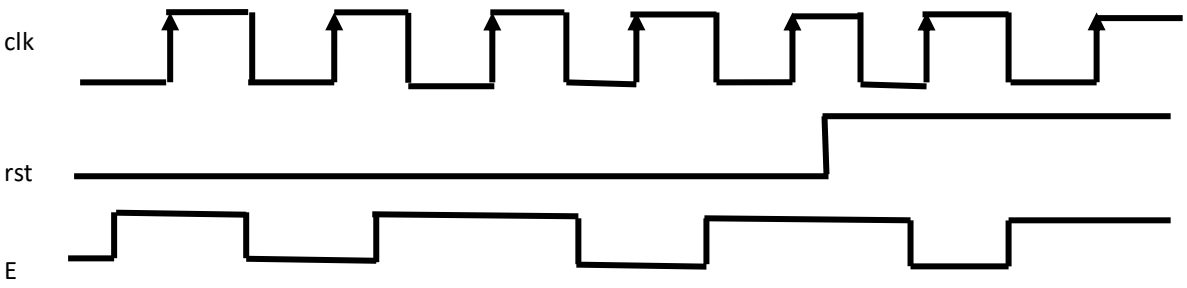
1. Donner le code VHDL de cette bascule

2. Soit le circuit à décalage série parallèle suivant :



3. Donner le code VHDL structurelle de ce circuit à décalage série parallèle

4. Compléter le diagramme temporel suivant :



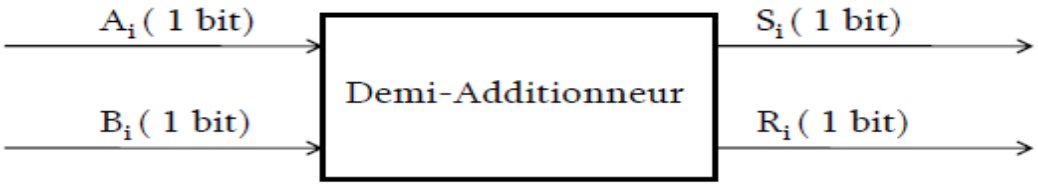
Q0……

Q1……

Q2 ……

Exercice 7

Soit un demi-additionneur d'un bit dont le tableau de vérité est donné comme suit :



1. Donner la table de vérité et le schéma électronique du circuit du demi-additionneur
2. Complétez les chronogrammes de sorties S_i (somme) et R_i (retenue sortante) dans la Figure 2 et confrontez les avec le tableau de vérité du demi-additionneur.

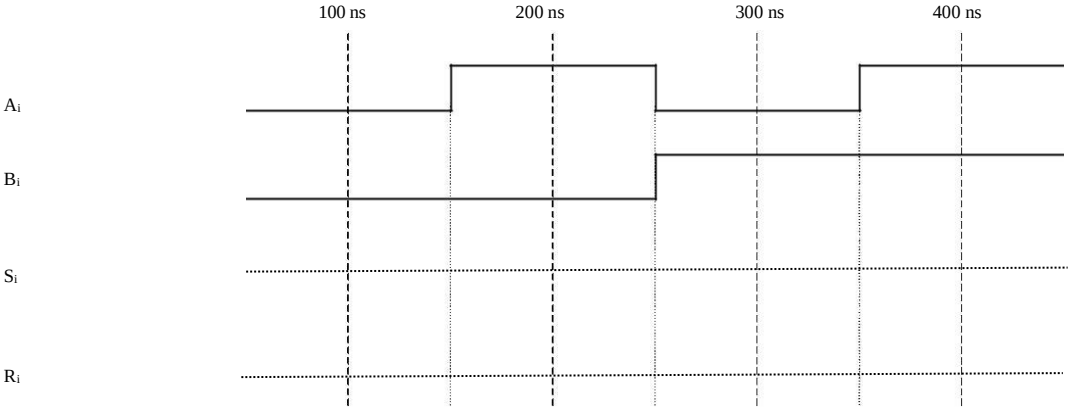
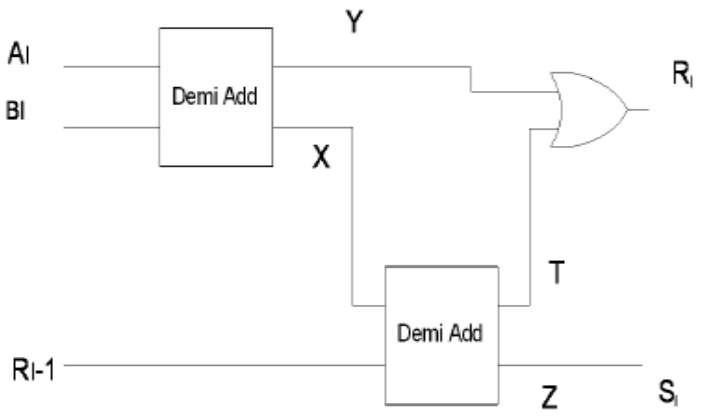


Figure 1. Chronogrammes d'entrées et de sorties (à compléter) du composant *demi_add*

3. Donner le code VHDL du demi-additionneur.

1. Donner le code VHDL STRUCTUREL de l'additionneur complet.