

L1 – Cours Structure Machine 2

Chapitre III : Synthèse des systèmes combinatoires

Sommaire

I.	Introduction	1
II.	Le Décodeur	1
2.1	Décodeur binaire	1
2.2	Décodeur BCD-Décimal	
2.3	Circuits intégrés décodeurs	
III.	L'encodeur	
3.1	Encodeur binaire	
3.2	Encodeur binaire prioritaire	
IV.	Les circuits de transcodage	
V.	Le multiplexeur	
VI.	Le démultiplexeur	
VII.	Les comparateurs	
VIII.	Le générateur de parité :	
IX.	L'additionneur	
9.1	Demi additionneur (Half adder)	
9.2	Additionneur complet (Full adder)	
9.3	Additionneur 4-bits	

Chapitre III : Synthèse des systèmes combinatoires

I. Introduction

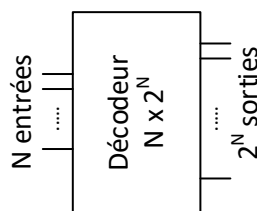
Les composants étudiés jusqu'à présent (ET, OU, NON-ET ...) font partie de la catégorie SSI (Small Scale Integration). Ce sont les premiers circuits intégrés à avoir été réalisés avec succès. Les progrès technologiques ont permis de concevoir des circuits un peu plus complexes permettant de réaliser des fonctions plus générales. Ces circuits sont les circuits MSI (Medium Scale Integration). Ce sont ces circuits que nous allons étudier. On note qu'ils ont été suivis par les circuits LSI et VLSI.

II. Le Décodeur

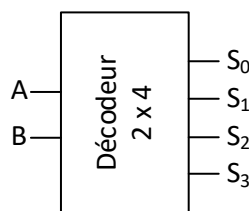
La fonction de base d'un décodeur est de détecter la présence d'une combinaison spécifique de bits (code) à ses entrées et de l'indiquer par un niveau spécifique en sortie.

2.1 Décodeur binaire

Un décodeur binaire permet, par exemple, de détecter la valeur binaire présente à son entrée et l'indiquer en activant la sortie qui correspond à cette valeur. Un décodeur binaire à n entrées possède 2^n Sorties. Une de ses sorties est active (à l'état 0 ou 1) selon la combinaison présente à l'entrée.

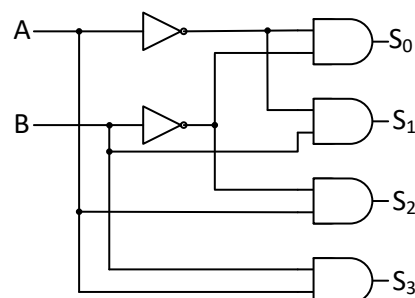


Un décodeur 2x4 possède donc 2 entrées et 4 sorties :



Son fonctionnement est décrit par la table de vérité :

A B	S ₃	S ₂	S ₁	S ₀
0 0	0	0	0	1
0 1	0	0	1	0
1 0	0	1	0	0
1 1	1	0	0	0

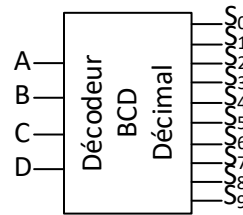


$$S_0 = \bar{A} \cdot \bar{B} \quad S_1 = \bar{A} \cdot B \quad S_2 = A \cdot \bar{B} \quad S_3 = A \cdot B$$

2.2 Décodeur BCD-Décimal

Circuit intégré 74 42

BA \ DC	00	01	11	10
00	S ₀	S ₁	S ₃	S ₂
01	S ₄	S ₅	S ₇	S ₆
11	x	x	x	x
10	S ₈	S ₉	x	x



$$S_0 = \bar{D} \cdot \bar{C} \cdot \bar{A} \cdot \bar{B} \quad S_1 = \bar{D} \cdot \bar{C} \cdot A \cdot \bar{B} \quad S_2 = \bar{C} \cdot \bar{A} \cdot B \quad S_3 = \bar{C} \cdot A \cdot B \quad S_4 = C \cdot \bar{A} \cdot \bar{B}$$

$$S_5 = C \cdot A \cdot \bar{B} \quad S_6 = C \cdot \bar{A} \cdot B \quad S_7 = C \cdot A \cdot B \quad S_8 = D \cdot \bar{A} \quad S_9 = D \cdot A$$

2.3 Circuits intégrés décodeurs

- 74 138 Décodeur 3X8
- 74 154 Décodeur 4x16
- 74 47 Décodeur BCD-7 Segments

III. L'encodeur

Permet de réaliser la fonction inverse d'un décodeur c'est un circuit à 2^N entrées. Lorsque l'une est active, il délivre sur ses N sorties le nombre binaire qui correspond au numéro de l'entrée.

3.1 Encodeur binaire

Un encodeur binaire à quatre entrées est décrit par la table de vérité :

E ₀	E ₁	E ₂	E ₃	S ₁	S ₀
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

Cependant, deux problèmes se posent : lorsque aucune entrée n'est activée ou si plusieurs entrées sont activées à la fois.

3.2 Encodeur binaire prioritaire

Pour le premier problème, on ajoute une sortie supplémentaire F qui passe à 1 lorsqu'aucune entrée n'est sélectionnée. Pour Palier au second problème, on réalise un encodeur pour lequel on établit une priorité (de E₀ à E₃ par exemple).

E ₀	E ₁	E ₂	E ₃	F	S ₁	S ₀
0	0	0	0	1	x	x
1	x	x	x	0	0	0
0	1	x	x	0	0	1
0	0	1	x	0	1	0
0	0	0	1	0	1	1

S_1

E_2E_3 E_0E_1	00	01	11	10
00	x	1	1	1
01	0	0	0	0
11	0	0	0	0
10	0	0	0	0

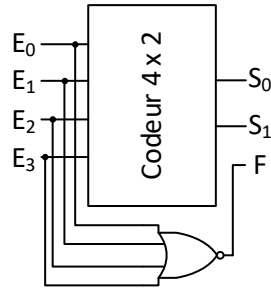
$$S_1 = \bar{E}_0 \cdot \bar{E}_1$$

 S_0

E_2E_3 E_0E_1	00	01	11	10
00	x	1	0	0
01	1	1	1	1
11	0	0	0	0
10	0	0	0	0

$$S_0 = \bar{E}_0 \cdot E_1 + \bar{E}_0 \cdot \bar{E}_2$$

$$F = \bar{E}_0 \cdot \bar{E}_1 \cdot \bar{E}_2 \cdot \bar{E}_3 = \overline{(E_0 + E_1 + E_2 + E_3)}$$



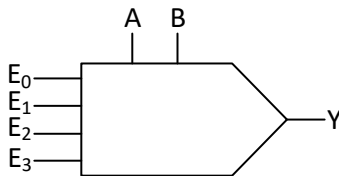
IV. Les circuits de transcodage

Ce sont des décodeurs particuliers qui permettent de passer d'un code à un autre. On citera à titre d'exemple le décodeur Binaire – Gray ou le décodeur Gray – Binaire.

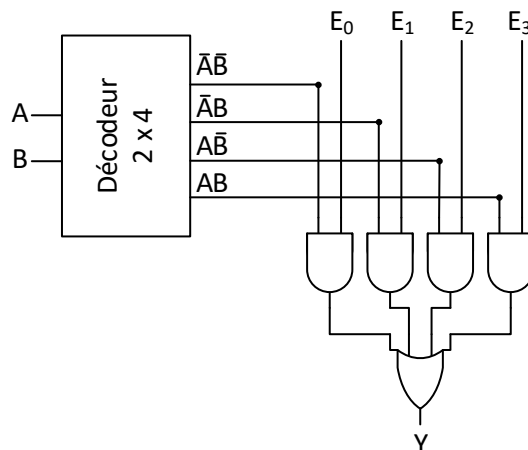
V. Le multiplexeur

C'est un circuit qui permet de réaliser l'aiguillage d'information. Il possède N entrées de contrôle et 2^N entrées d'information. Une combinaison sur les entrées de contrôle permet de sélectionner l'une des entrées d'information, et qui est aiguillée vers la sortie.

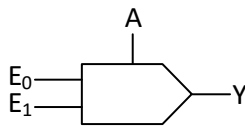
AB	Y
00	E_0
01	E_1
10	E_2
11	E_3



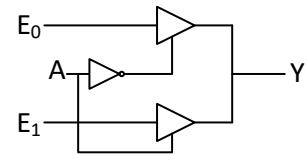
$$Y = \bar{A}\bar{B}E_0 + \bar{A}BE_1 + A\bar{B}E_2 + ABE_3$$



Un multiplexeur à 2 entrées d'information peut être réalisé en utilisant des portes 3 états :



$$Y = \bar{A}E_0 + AE_1$$

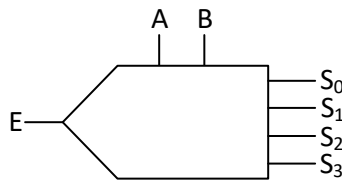


Les multiplexeurs sont utilisés pour réaliser la conversion parallèle – série d'un code binaire. Ils permettent également l'utilisation d'un canal unique pour véhiculer les informations issues de plusieurs sources.

VI. Le démultiplexeur

Il permet de réaliser la fonction inverse d'un multiplexeur. Il possède une entrée d'information, N entrées de commande et 2^N sorties.

A B	S ₀	S ₁	S ₂	S ₃
0 0	E	0	0	0
0 1	0	E	0	0
1 0	0	0	E	0
1 1	0	0	0	E



$$S_0 = \bar{A} \cdot \bar{B} \cdot E$$

$$S_1 = \bar{A} \cdot B \cdot E$$

$$S_2 = A \cdot \bar{B} \cdot E$$

$$S_3 = A \cdot B \cdot E$$

VII. Les comparateurs

A	E	G	L(A<B)
B	(A=B)	(A>B)	
0 0	1	0	0
0 1	0	0	1
1 0	0	1	0
1 1	1	0	0

$$E = \overline{A \oplus B}$$

$$G = A\bar{B}$$

$$L = \bar{A}B$$

VIII. Le générateur de parité

On appelle parité P d'un mot binaire, la grandeur qui caractérise le nombre de '1' dans ce mot. Ce mot est dit à parité paire si le nombre de '1' qu'il contient est pair, et à parité impaire si ce nombre est impair.

Soit un mot binaire $A = A_n A_{n-1} \dots A_1 A_0$, la Somme de tous les bits de '1', sans tenir compte des retenues donne 0 si le nombre de '1' est Pair, et donne 1 si le nombre de 1 est impaire. La parité est donc donnée par :

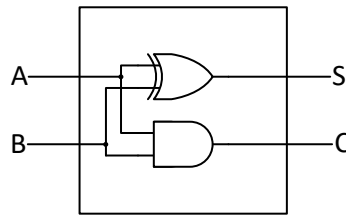
$$P = A_0 \oplus A_1 \oplus \dots \oplus A_n$$

Le test de parité est la base de plusieurs systèmes de détection d'erreurs de transmission. Si par exemple on désire effectuer une transmission avec convention de parité paire, alors tous les mots envoyés doivent avoir une parité paire à la transmission, et ce en ajoutant un bit de parité qui est '0' si la parité du mot est déjà paire sinon on ajoute un '1' si la parité impaire. Si par exemple on veut transmettre les mots suivants : 0001, 0011, 1010 et 1110. On doit d'abord ajouter les bits de parité de la manière suivante : 0001**1**, 0011**0**, 1010**0** et 1110**1**. A la réception si l'un des mots n'a pas une parité paire le récepteur saura qu'il y a eu erreur de transmission et l'émetteur devra envoyer de nouveau le mot sur lequel il y a eu l'erreur.

IX. L'additionneur

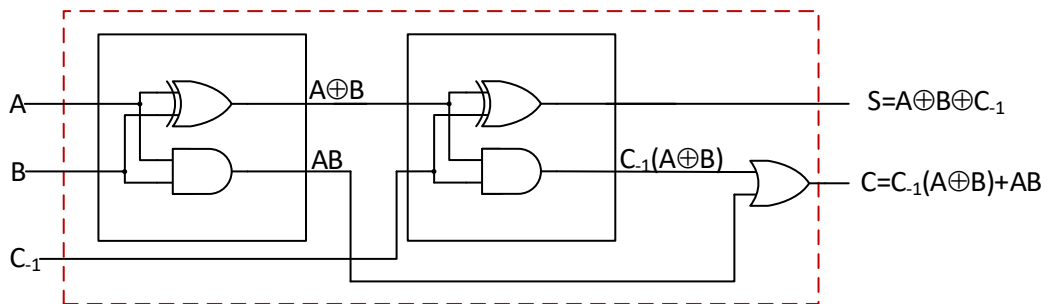
9.1 Demi additionneur (Half adder)

$$S = A \oplus B \quad C = AB$$



Circuit dem-additionneur

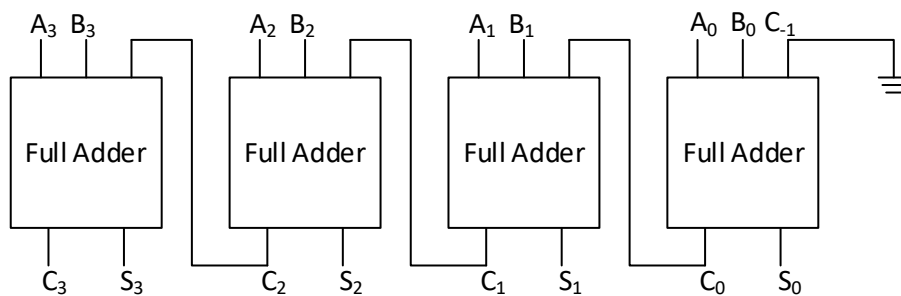
9.2 Additionneur complet (Full adder)



Circuit additionneur complet

9.3 Additionneur 4-bits

Soient à additionner deux mots binaires de 4 bits chacun ($A=A_3A_2A_1A_0$ et $B=B_3B_2B_1B_0$), le circuit qui permet de réaliser l'addition des deux mots est construit à base d'additionneurs complet comme le montre le schéma ci-dessous. Le résultat de l'addition est donné par $S_3S_2S_1S_0$ et C_3 est la retenue.



Circuit additionneur 4 bits